

AFYON KOCATEPE ÜNİVERSİTESİ
MÜHENDİSLİK FAKÜLTESİ
ELEKTRİK MÜHENDİSLİĞİ BÖLÜMÜ



2023-2024 Eğitim-Öğretim Yılı Güz Dönemi
Sayısal Elektronik Laboratuvarı Dersi
Tüm Deneyler Kitapçığı

Doç. Dr. Emre AKARSLAN

Arş. Grv. Burak ARSEVEN

LABORATUVARDA UYULACAK KURALLAR

- Deneye gelmeden önce, deneyle ilgili teorik bilgi araştırılacak ve laboratuvara gerekli bilgiler öğrenilerek gelinecektir.
- Deneyler saatinde başlayacak, geç kalan öğrenciler deneye **alınmayacaktır.**
- Laboratuvardaki görevlilerin tüm uyarılarına ve temel iş sağlığı ve güvenliği kurallarına harfiyen uyulacaktır.
- Deney için izin verilen cihazlar haricinde laboratuvarda hiçbir cihaz kullanılmayacaktır.
- Deneylerin belirlenen süre içerisinde tamamlanması gerekmektedir. Verilen süre içerisinde tamamlanamayan deney **geçersiz** sayılacaktır.
- **Deney bittikten sonra deney masa ve sandalyeleri düzenli olarak bırakılacaktır.**
- Laboratuvara ait malzeme ve donanım laboratuvar dışına çıkarılmayacaktır.
- Deneylerle ilgili soru ve sorunlar görevli Öğretim Elemanı' na aktarılacaktır.
- Kural dışı davranışlardan doğacak maddi/manevi tüm zararlardan öğrenci sorumlu olacaktır.
- Kurallara uymayan öğrencinin deneyine son verilecek, laboratuvardan çıkarılacak ve öğrenci hakkında disiplin yönetmeliği uygulanacaktır.
- Bir dönem içinde toplam üç deneye girmeyen öğrenci final sınavına **giremeyecektir.**

LABORATUVARDA UYULACAK KURALLAR

- Deneye gelmeden önce, deneyle ilgili teorik bilgi araştırılacak ve laboratuvara gerekli bilgiler öğrenilerek gelinecektir.
- Deneyler saatinde başlayacak, geç kalan öğrenciler deneye **alınmayacaktır.**
- Laboratuvardaki görevlilerin tüm uyarılarına ve temel iş sağlığı ve güvenliği kurallarına harfiyen uyulacaktır.
- Deney için izin verilen cihazlar haricinde laboratuvarda hiçbir cihaz kullanılmayacaktır.
- Deneylerin belirlenen süre içerisinde tamamlanması gerekmektedir.Verilen süre içerisinde tamamlanamayan deney **geçersiz** sayılacaktır.
- **Deney bittikten sonra deney masa ve sandalyeleri düzenli olarak bırakılacaktır.**
- Laboratuvara ait malzeme ve donanım laboratuvar dışına çıkarılmayacaktır.
- Deneylerle ilgili soru ve sorunlar görevli Öğretim Elemanı' na aktarılacaktır.
- Kural dışı davranışlardan doğacak maddi/manevi tüm zararlardan öğrenci sorumlu olacaktır.
- Kurallara uymayan öğrencinin deneyine son verilecek, laboratuvardan çıkarılacak ve öğrenci hakkında disiplin yönetmeliği uygulanacaktır.
- Bir dönem içinde toplam üç deneye girmeyen öğrenci final sınavına **giremeyecektir.**
- COVID19 pandemi koşulları gereği maske, mesafe, temizlik önlemlerine ilave olarak T.C. Sağlık Bakanlığı ve ilgili kurum ve kuruluşlarca alınan diğer tedbirlere de harfiyen uyulması gerekmektedir.

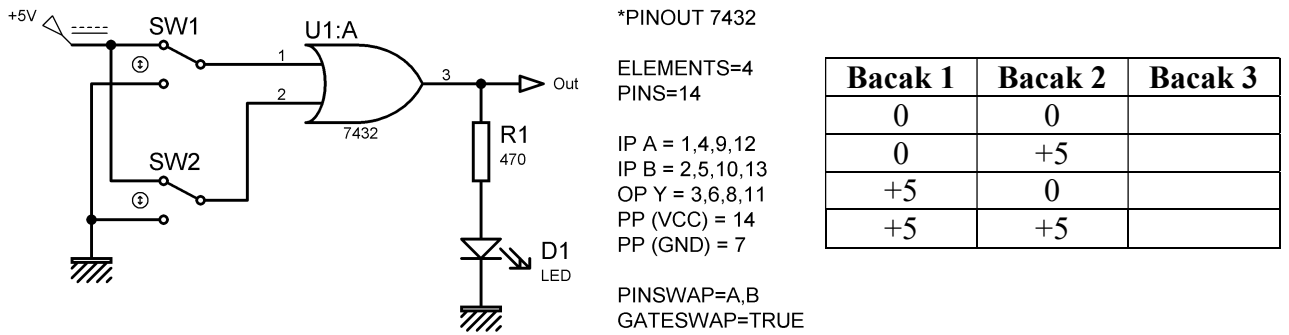
DENEY 1- Temel Lojik Fonksiyonlar

Amaç: Temel lojik fonksiyonları öğrenmek (VE-AND, VEYA-OR, DEĞİL-NOT, VEDEĞİL-NAND, VEYADEĞİL-NOR). Bu fonksiyonların doğruluk tabloları, lojik diyagramlar ve Boolean kuralları ile gösterimini öğrenmek.

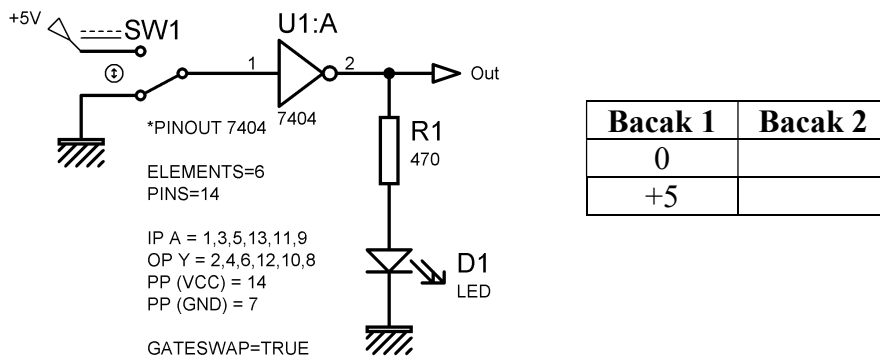
Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. (Entegre devrelerinin besleme ayakları şemaların yanındaki entegre bilgileri kısmında verilmiştir.)
- Doğruluk tablosunda verilen giriş lojik seviyelerini verilen anahtarları kullanarak devreye uygulayın ve devrenin çıkış lojik seviyelerini tabloya aktarınız.

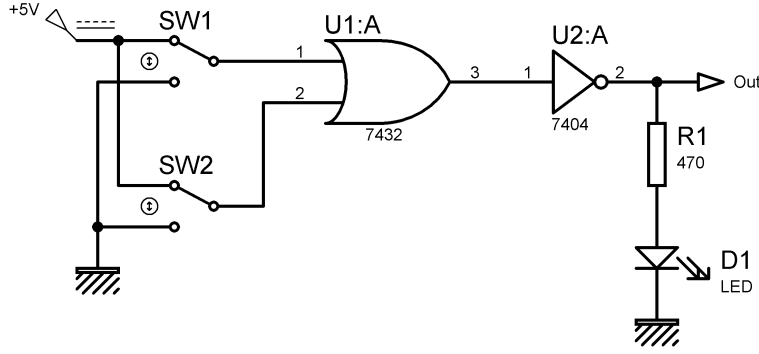
Deney Bağlantı Şeması:



Şekil 1. VEYA (OR) kapısı deney bağlantı şeması ve doğruluk tablosu.

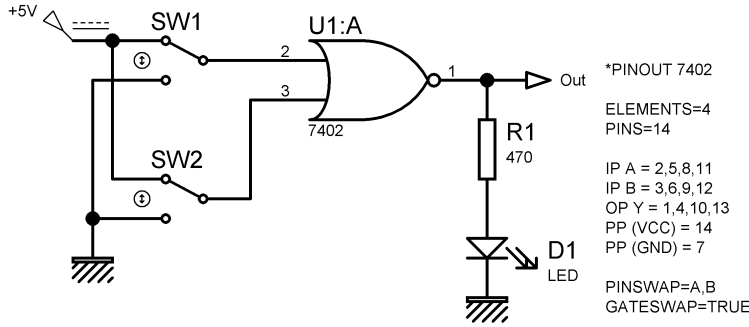


Şekil 2. DEĞİL (NOT) kapısı deney bağlantı şeması ve doğruluk tablosu.



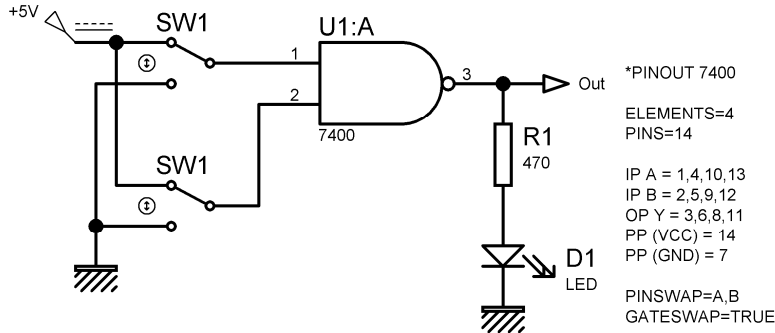
7432		7404
Bacak 1	Bacak 2	Bacak 2
0	0	
0	+5	
+5	0	
+5	+5	

Şekil 3. VEYA+DEĞİL (OR+NOT) kapısı deney bağlantı şeması ve doğruluk tablosu.



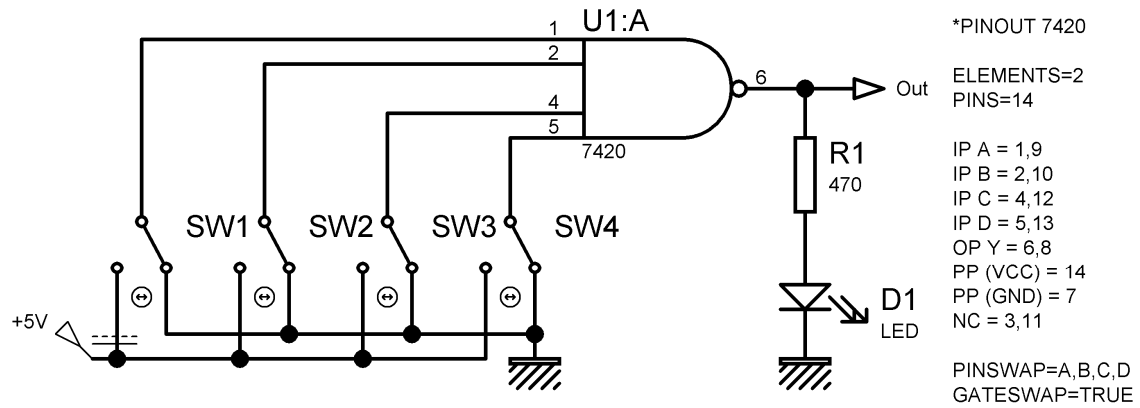
Bacak 3	Bacak 2	Bacak 1
0	0	
0	+5	
+5	0	
+5	+5	

Şekil 4. VEYADEĞİL (NOR) kapısı deney bağlantı şeması ve doğruluk tablosu.



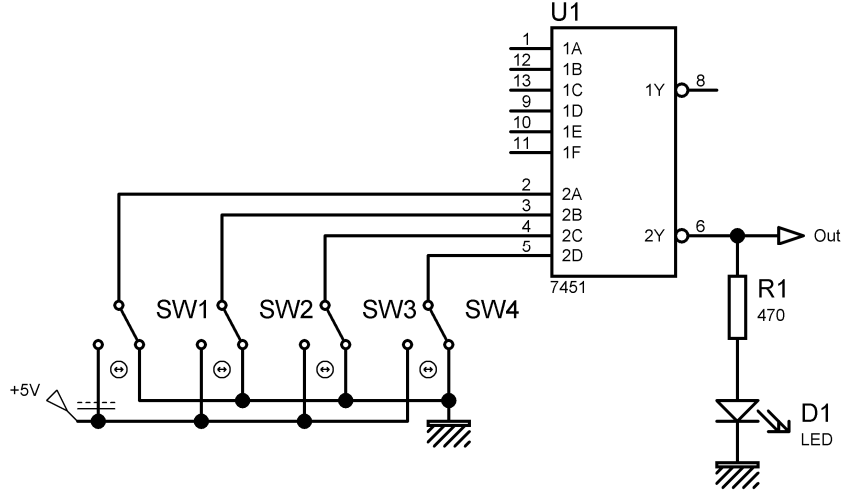
Bacak 1	Bacak 2	Bacak 3
0	0	
0	+5	
+5	0	
+5	+5	

Şekil 5. İki Girişli VEDEĞİL (NAND) kapısı deney bağlantı şeması ve doğruluk tablosu.



Bacak 1	Bacak 2	Bacak 3	Bacak 4	Bacak 6
0	0	0	0	
+5	0	0	0	
+5	+5	0	0	
+5	+5	+5	0	
+5	+5	+5	+5	

Şekil 6. Dört Girişli VEDEĞİL (NAND) kapısı deney bağlantı şeması ve doğruluk tablosu.



Şekil 7. 7451 entegre devresi deney bağlantı şeması ve doğruluk tablosu.

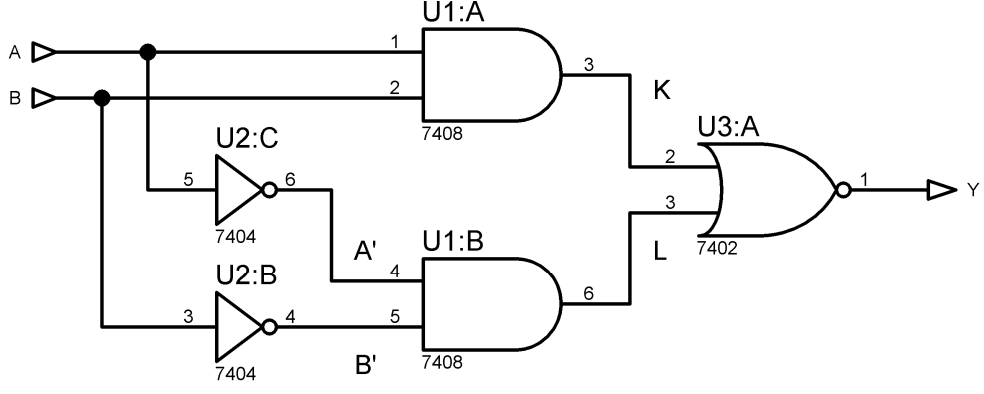
2A	2B	2C	2D	2Y
0	0	0	0	
+5	0	0	0	
+5	+5	0	0	
+5	+5	+5	0	
+5	+5	+5	+5	

Raporda İstenenler:

- Deneysel bağlantı şemalarını rapor defterinize çiziniz.
- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Ölçüm sonuçlarınızı kaydediniz.
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Yukarıdaki devrelerde kullanılan entegre devreler için veri sayfalarından yararlanarak bacak bağlantılarını çıkarınız.
2. Yine veri sayfalarından faydalanarak entegrelere ait akım gerilim sınırlarını yazınız (Çıkış akım sınırı, giriş gerilimi değerleri, besleme gerilimi vb...).
3. Aşağıdaki devre için verilen doğruluk tablosunu doldurunuz.



A	B	A'	B'	K	L	Y
0	0					
0	1					
1	0					
1	1					

DENEY 1- Temel Lojik Fonksiyonlar	
Öğrencinin Adı Soyadı:	Numarası:
Deney Uygulama Tarihi:	Rapor Teslim Tarihi:
Öğretim Elemanı:	Onay:

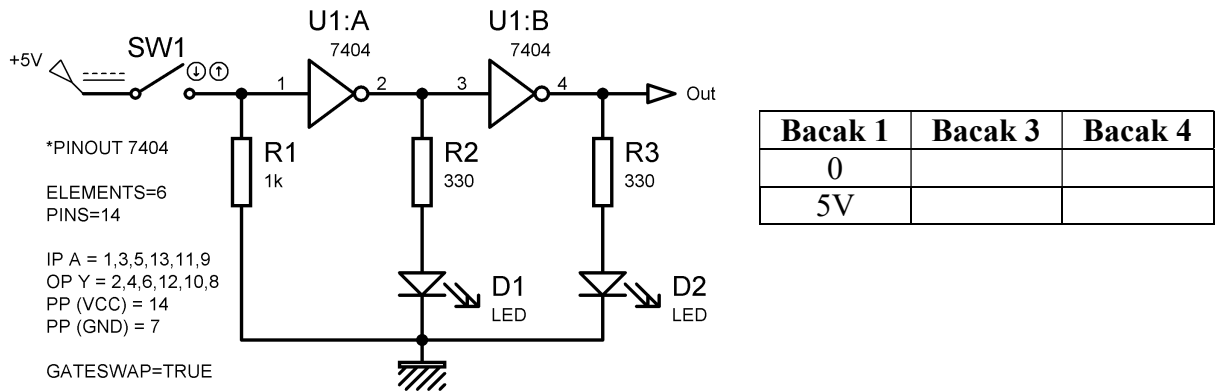
DENEY 2- Boolean Kuralları ve Lojik Denklemlerin Sadeleştirilmesi

Amaç: Boolean kuralları ile lojik denklemlerin gösterimi ve sadeleştirilme yöntemlerini öğrenmek.

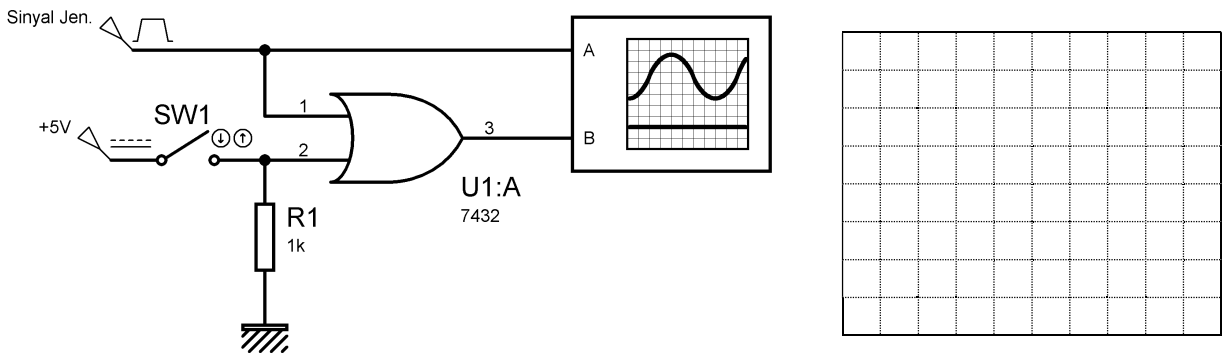
Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. (Entegre devrelerinin besleme ayakları şemaların yanındaki entegre bilgileri kısmında verilmiştir.)
- Doğruluk tablosunda verilen giriş lojik seviyelerini verilen anahtarları kullanarak devreye uygulayın ve devrenin çıkış lojik seviyelerini tabloya aktarınız.
- Devrede Osiloskop kullanılması gerekiyorsa uygun şekilde Osiloskop bağlantılarını yapıp elde ettiğiniz sinyal şekillerini grafik alanına aktarınız.

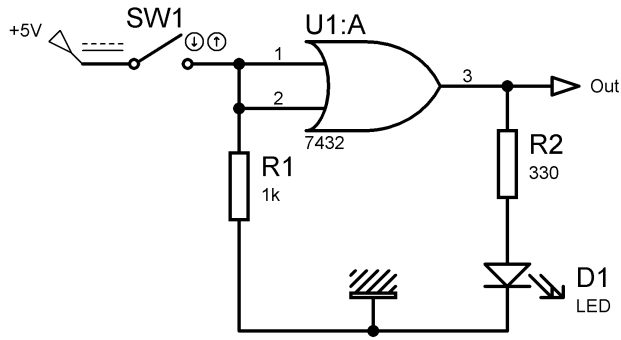
Deney Bağlantı Şeması:



Şekil 1. Çift evirici devresi ($\overline{\overline{A}} = A$).

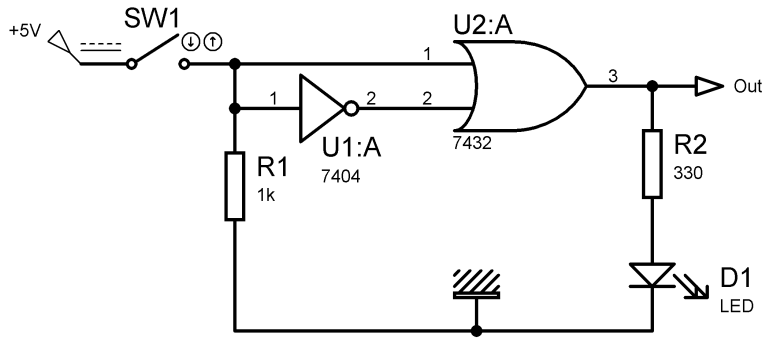


Şekil 2. Enable-Disable devreleri (Veya kapılı).



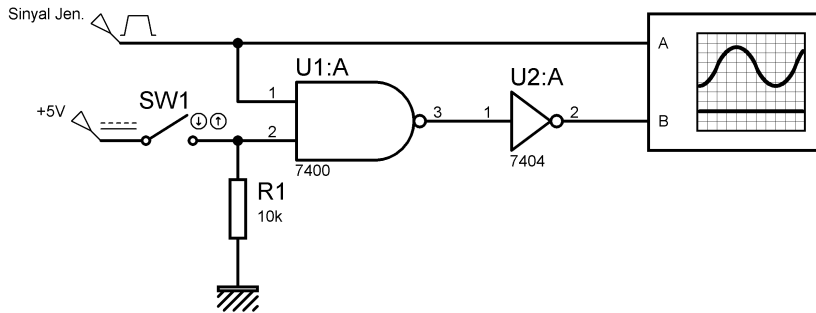
Bacak 1 ve 2	Out
0	
5V	

Şekil 3. $A + A = A$ kuralı.

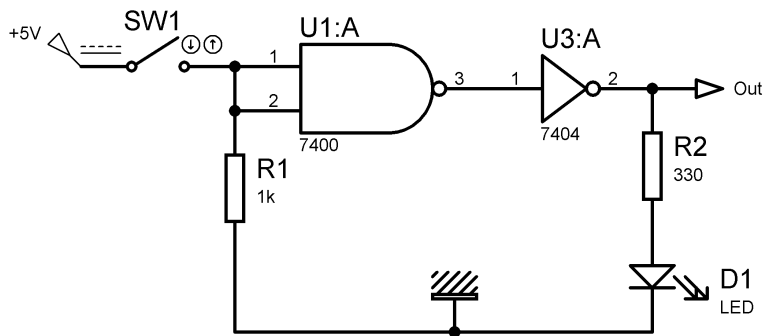
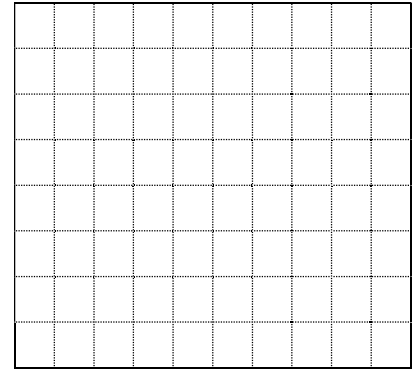


Bacak 1	Out
0	
5V	

Şekil 4. $A + \bar{A} = 1$ kuralı.

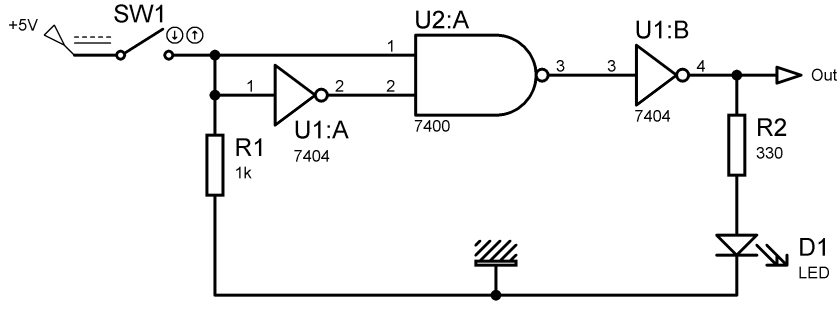


Şekil 5. Enable-Disable devreleri (Ve kaplı).



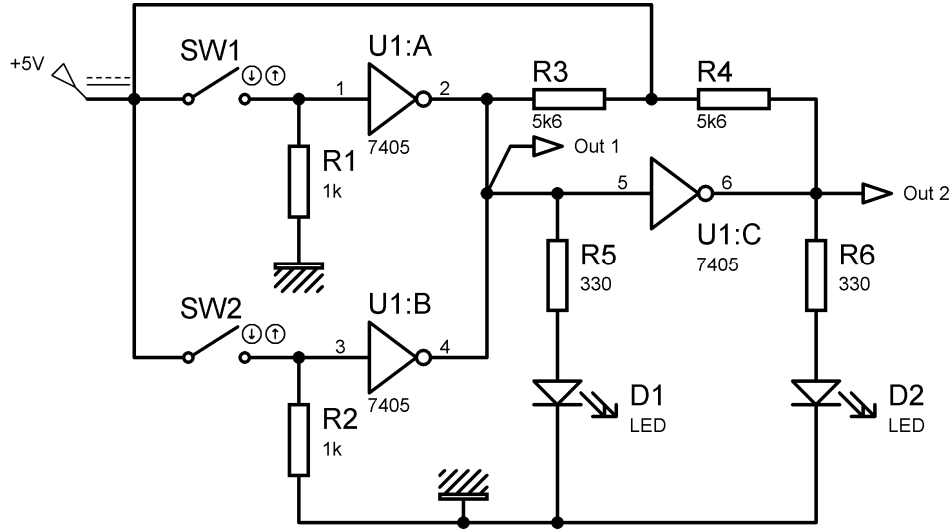
Bacak 1 ve 2	Out
0	
5V	

Şekil 6. $A \cdot A = A$ kuralı.



Bacak 1	Out
0	
5V	

Şekil 7. A. $\bar{A} = 0$ kuralı.



Bacak 1	Bacak 3	Out 1	Out 2
0	0		
0	1		
1	0		
1	1		

Şekil 7. 7405 entegre devresi uygulaması.

Raporda İstenenler:

- Denev baęlantı Őemalarını rapor defterinize iziniz.
- Doğruluk tablolarını oluŐturunuz. (Tablolarda 0 ve 1 kullanınız.)
- AŐaęıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. 7404 entegre devresi ile 7405 entegre devresi aynı kapı devreleridir. Bu iki entegre devresi arasındaki farklılıkları iç baęlantı Őemalarından yararlanarak belirtiniz.

DENEY 2- Boolean Kuralları Ve Lojik Denklemlerin SadeleŐtirilmesi	
Öęrencinin Adı Soyadı:	Numarası:
Denev Uygulama Tarihi:	Rapor Teslim Tarihi:
Öęretim Elemanı:	Onay:

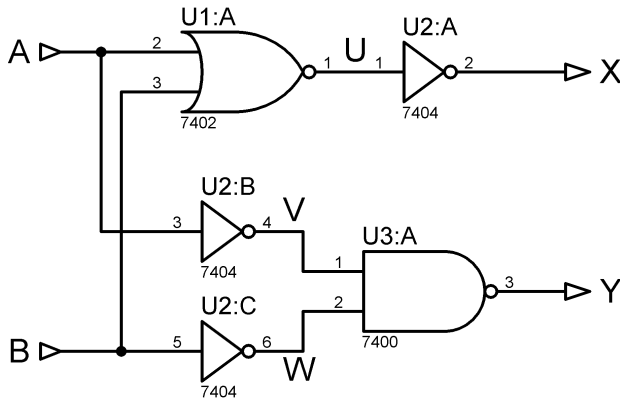
DENEY 3- De Morgan Teoremi

Amaç: De Morgan teoremini kullanarak Boolean denklemlerini sadeleştirmek ve düzenleyerek değiştirmek.

Deneyin Yapılışı:

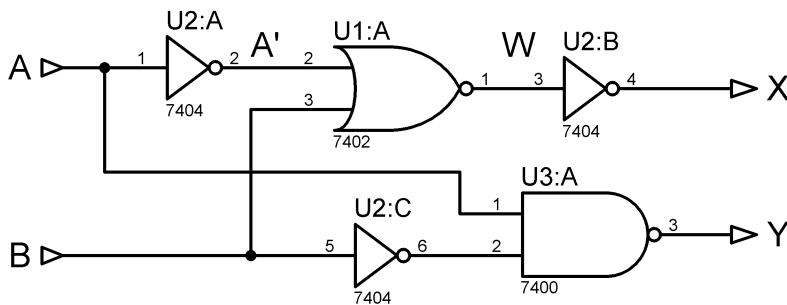
- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. (*Entegre devrelerinin besleme ayakları şemaların yanındaki entegre bilgileri kısmında verilmiştir.*)
- Doğruluk tablosunda verilen giriş lojik seviyelerini verilen anahtarları kullanarak devreye uygulayın ve devrenin çıkış lojik seviyelerini tabloya aktarınız.
- Devrede Osiloskop kullanılması gerekiyorsa uygun şekilde Osiloskop bağlantılarını yapıp elde ettiğiniz sinyal şekillerini grafik alanına aktarınız.

Deney Bağlantı Şeması:



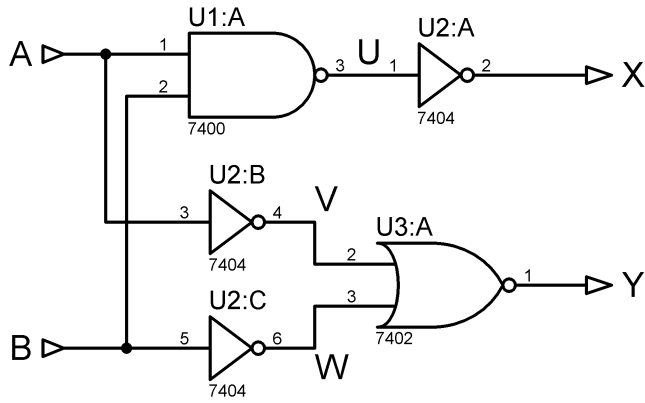
A	B	U	V	W	X	Y
0	0					
0	+5					
+5	0					
+5	+5					

Şekil 1. DeMorgan teoremi devresi.



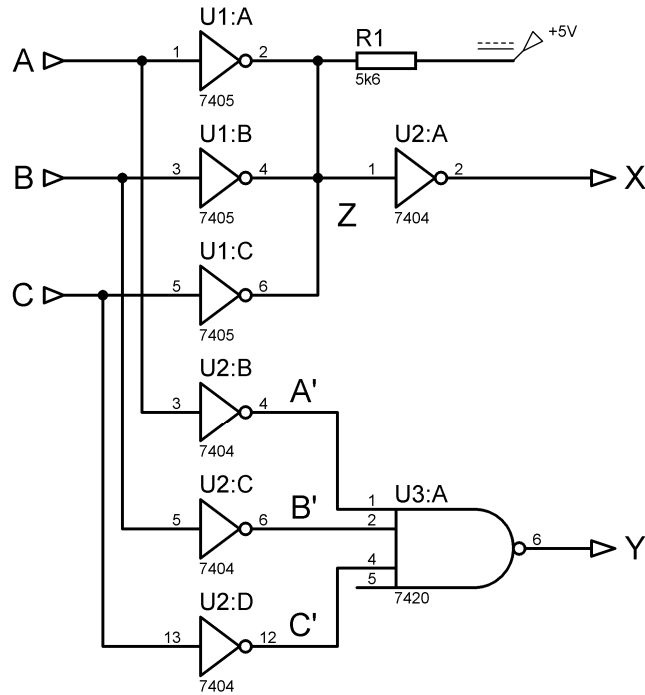
A	A'	B	W	X	Y
0		0			
0		+5			
+5		0			
+5		+5			

Şekil 2. DeMorgan teoremi devresi



A	B	U	V	W	X	Y
0	0					
0	+5					
+5	0					
+5	+5					

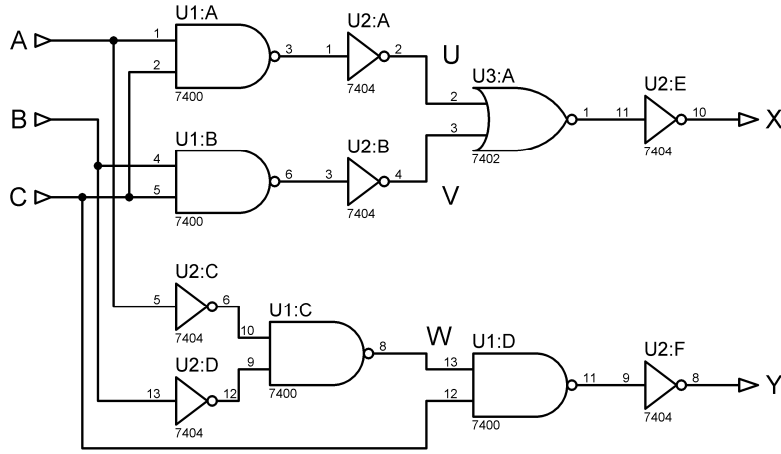
Şekil 3. DeMorgan teoremi devresi.



Şekil 4. De Morgan teoremi devresi.

A	B	C	A'	B'	C'	Z	X	Y
0	0	0						
0	0	+5						
0	+5	0						
0	+5	+5						
+5	0	0						
+5	0	+5						
+5	+5	0						
+5	+5	+5						

A	B	C	U	V	W	X	Y
0	0	0					
0	0	+5					
0	+5	0					
0	+5	+5					
+5	0	0					
+5	0	+5					
+5	+5	0					
+5	+5	+5					



Şekil 5. De Morgan teoremi devresi.

Raporda İstenenler:

- Deneysel bağlantı şemalarını rapor defterinize çiziniz.
- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Verilen şemaların Boolean eşitliklerini yazınız.
2. Devrelerde verilen X ve Y çıkışları birbirlerine eşdeğerdir. Bu durumu matematiksel olarak gösteriniz.

DENEY 3- Demorgan Teoremi	
Öğrencinin Adı Soyadı:	Numarası:
Deneysel Uygulama Tarihi:	Rapor Teslim Tarihi:
Öğretim Elemanı:	Onay:

DENEY 4- Ayrıcılık Veya (EXOR) Uygulamaları

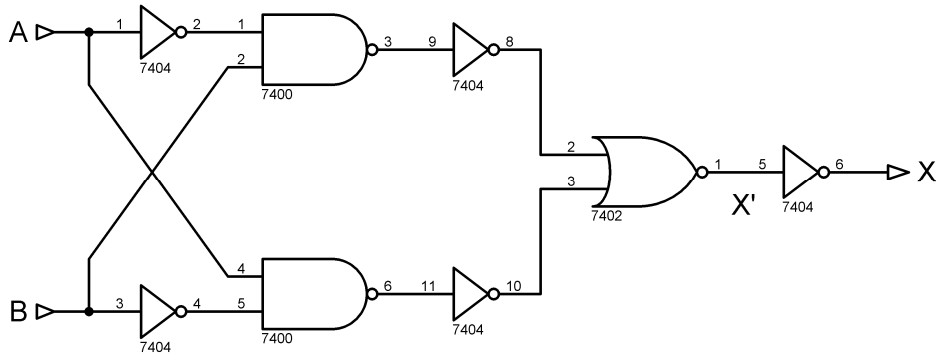
Amaç:

- Temel lojik kapı devrelerini kullanarak EXOR fonksiyonunu üretme yollarını öğrenmek.
- Yarı toplayıcı ve yarı çıkarıcı devrelerin çalışmasını incelemek.

Deneyin Yapılışı:

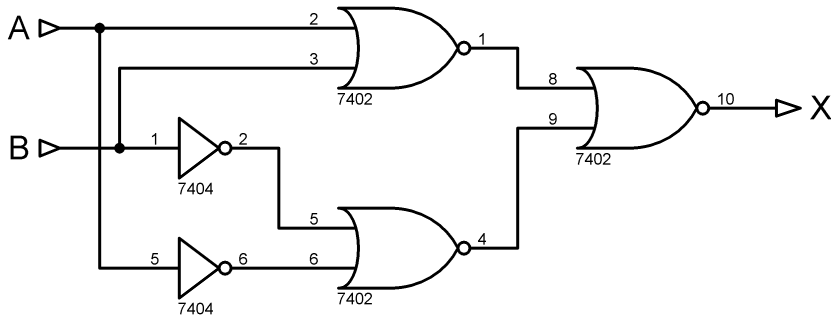
- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz.
- Doğruluk tablosunda verilen giriş lojik seviyelerini devreye uygulayın ve devrenin çıkış lojik seviyelerini tabloya aktarınız.

Deney Bağlantı Şeması:



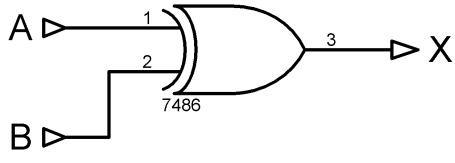
A	B	X'	X
0	0		
0	1		
1	0		
1	1		

Şekil 1. EXOR devresi üretme yöntemi 1.



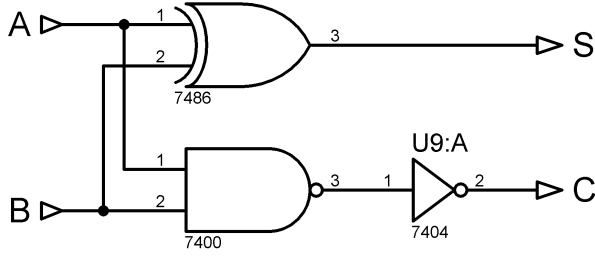
A	B	X
0	0	
0	1	
1	0	
1	1	

Şekil 2. . EXOR devresi üretme yöntemi 2.



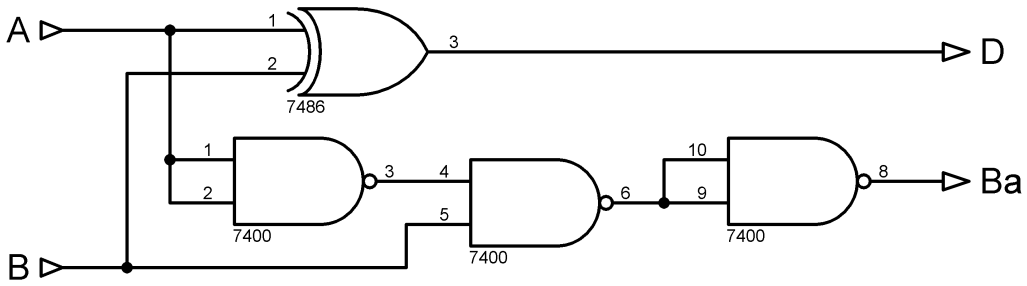
A	B	X
0	0	
0	1	
1	0	
1	1	

Şekil 3. EXOR devresi.



A	B	S	C
0	0		
0	1		
1	0		
1	1		

Şekil 4. Yarı toplayıcı devresi.



Şekil 5. Yarı çıkarıcı devresi.

A	B	D	Ba
0	0		
0	1		
1	0		
1	1		

Raporda İstenenler:

- Deneysel bağlantı şemalarını rapor defterinize çiziniz.
- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Verilen devrelerin çıkışlarına ait lojik ifadeleri yazın ve gerekiyorsa sadeleştiriniz.
2. EXOR kapı devresi ile gerçekleştirilebilecek iki örnek uygulama devresi çizin. Çıkış lojik ifadesini ve doğruluk tablosunu oluşturunuz.

DENEY 4: Ayrıcalıklı Veya (EXOR) Uygulamaları	
Öğrencinin Adı Soyadı:	Numarası:
Deney Uygulama Tarihi:	Rapor Teslim Tarihi:
Öğretim Elemanı:	Onay:

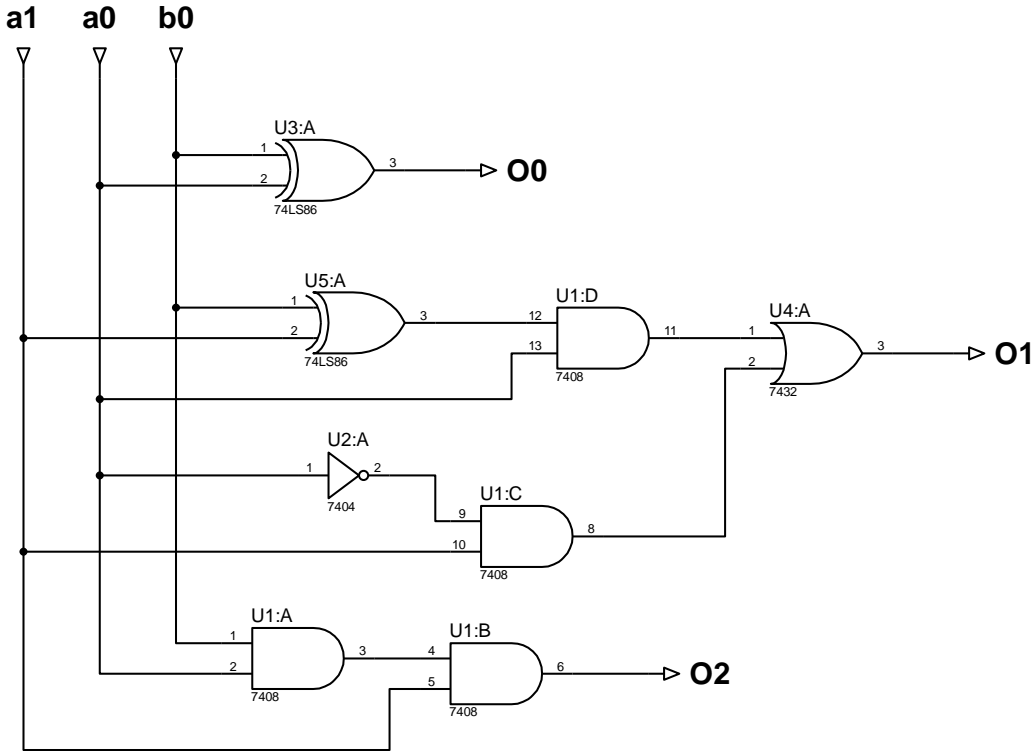
DENEY 5: Lojik devre tasarım örneği

Amaç: İki bitlik bir sayı ile bir bitlik bir sayının toplamını veren bir devreyi tasarlamak, sadeleştirmek ve kurmak

Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. (Entegre devrelerinin besleme ayakları şemaların yanındaki entegre bilgileri kısmında verilmiştir.)
- Doğruluk tablosunda verilen giriş lojik seviyelerini verilen anahtarları kullanarak devreye uygulayın ve devrenin çıkış lojik seviyelerini tabloya aktarınız.
- Devrede Osiloskop kullanılması gerekiyorsa uygun şekilde Osiloskop bağlantılarını yapıp elde ettiğiniz sinyal şekillerini grafik alanına aktarınız.

Deney Bağlantı Şeması:



a1	a0	b0	O2	O1	O0
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

Raporda İstenenler:

- Deney bağlantı şemalarını rapor defterinize çiziniz.
- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

- 1- A ve B iki bitlik iki sayı olmak üzere $A+B+1$ işlemini yapan lojik devreyi tasarlayın.

DENEY 6- Tam Toplayıcı ve Tam Çıkarıcı Devreleri

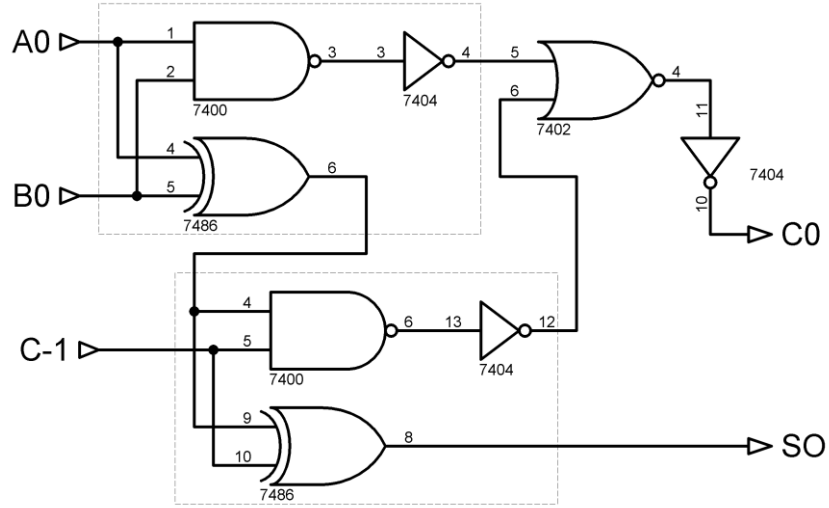
Amaç:

- Tam toplayıcı ve tam çıkarıcı devrelerini üretme yollarını öğrenmek ve özelliklerini incelemek.

Deneyin Yapılışı:

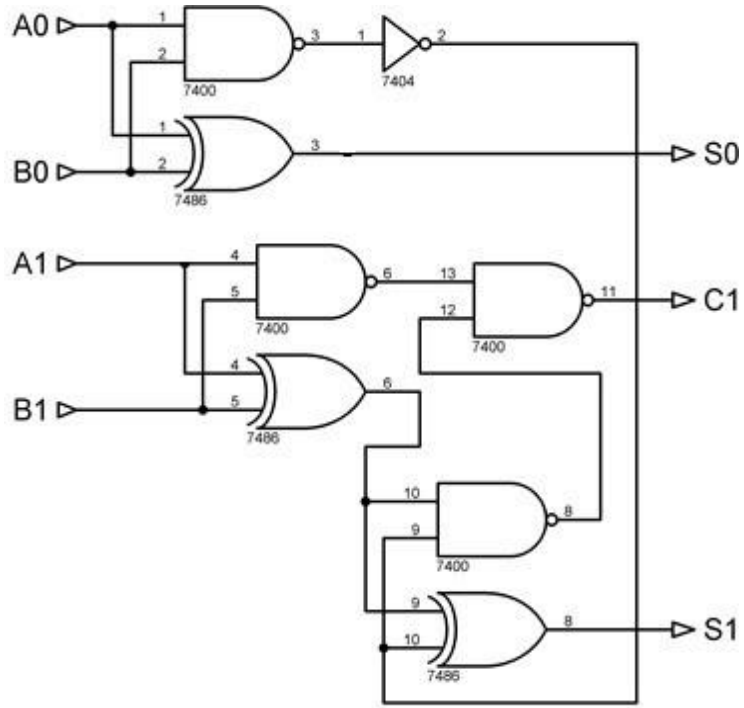
- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz.
- Doğruluk tablosunda verilen giriş lojik seviyelerini devreye uygulayın ve devrenin çıkış lojik seviyelerini tabloya aktarınız.

Deney Bağlantı Şeması:



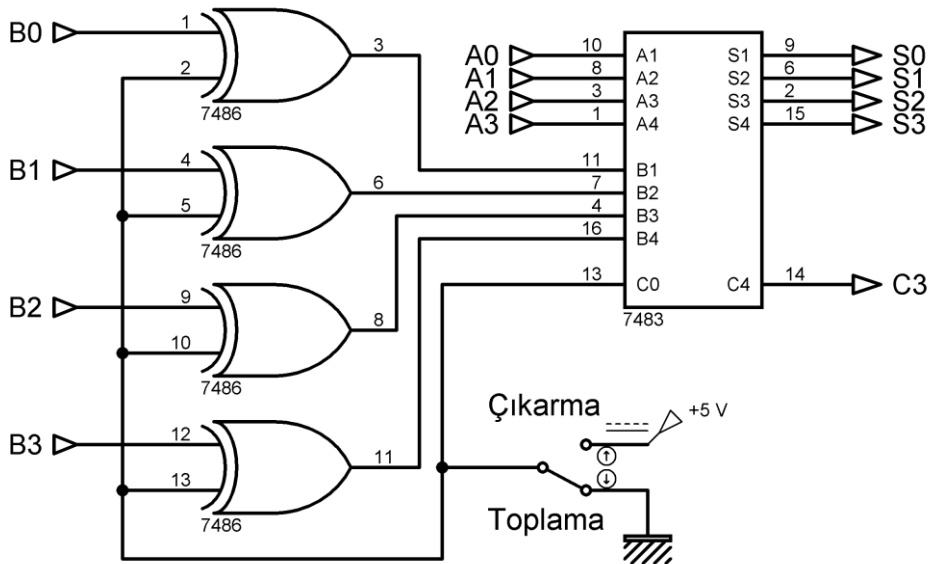
A ₀	B ₀	C ₋₁	S ₀	C ₀
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Şekil 1. Yarı toplayıcılarla oluşturulmuş tam toplayıcı devresi.



A1	A0	B1	B0	C1	C1	S0
0	0	0	0			
1	1	1	1			
1	0	1	0			
0	1	0	1			

Şekil 2. İki bitlik tam toplama devresi.



A + B + C0 = Toplam					A+B=S
A ₃ A ₂ A ₁ A ₀	B ₃ B ₂ B ₁ B ₀	C ₀	C ₃	S ₃ S ₂ S ₁ S ₀	Onluk karşılığı
1010	0101	0			
1010	0011	0			
1111	0110	0			
1111	1111	0			

A + B = Fark				A+B=D
A ₃ A ₂ A ₁ A ₀	B ₃ B ₂ B ₁ B ₀	B _{a3}	D ₃ D ₂ D ₁ D ₀	Onluk karşılığı
1010	0101			
1010	0011			
1111	0110			
1111	1111			

Şekil 3. 7483 entegresi ile tam toplayıcı ve tam çıkarıcı devre tasarımı.

Raporda İstenenler:

- Deneysel bağlantı şemalarını rapor defterinize çiziniz.
- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Verilen devrelerin çıkışlarına ait lojik ifadeleri yazın ve gerekiyorsa sadeleştiriniz.
2. 7483 entegresi hakkında bilgi veriniz.

DENEY 6- Tam Toplayıcı ve Tam Çıkarıcı Devreleri	
Öğrencinin Adı Soyadı:	Numarası:
Deneysel Uygulama Tarihi:	Rapor Teslim Tarihi:
Öğretim Elemanı:	Onay:

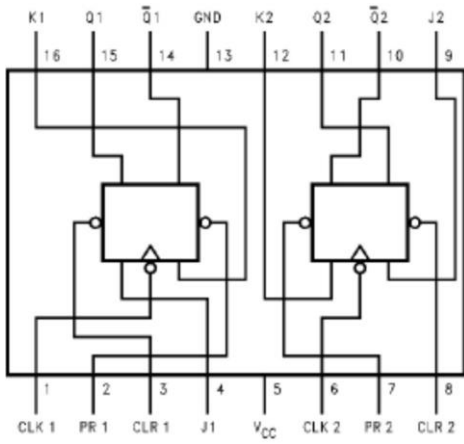
DENEY 7- Flip Flop ve Uygulamaları

Amaç:

- Flip Flop çalışma mantığını kavramak

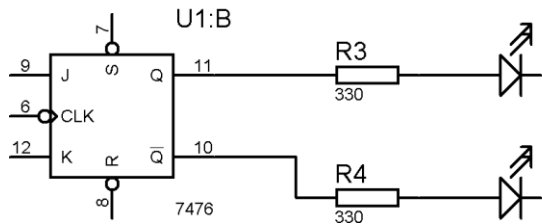
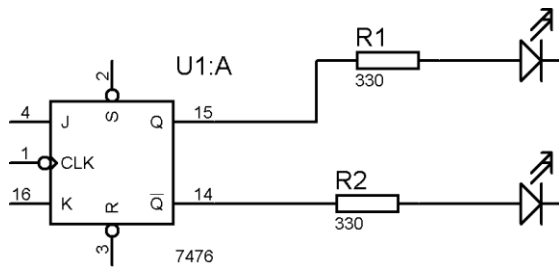
Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 7476 bağlantı şemasına uygun olarak yapınız.
- Doğruluk tablosunda verilen girişleri uygulayarak gözlenen çıkış değerlerini tabloya yazınız.

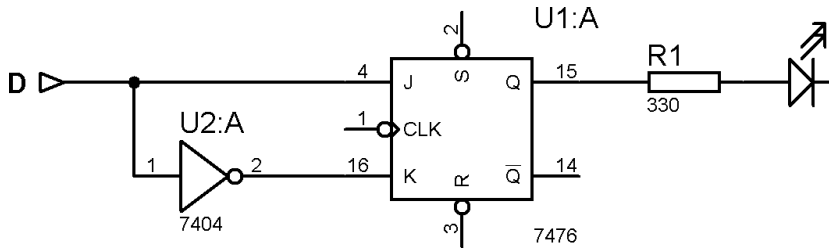


7476 iç bağlantı şeması

Deney Bağlantı Şeması:

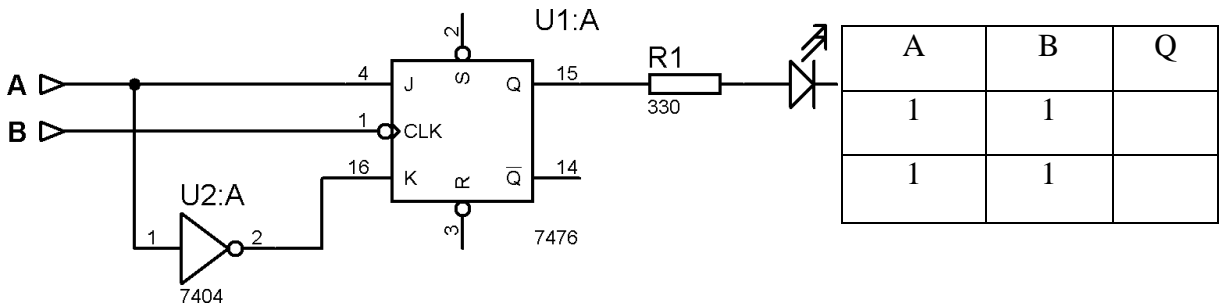


J	K	CLK	S(PR)	R(CLR)	Q_1	\overline{Q}_1	Q_2	\overline{Q}_2
0	0	↓	1	1				
1	0	↓	1	1				
0	1	↓	1	1				
1	1	↓	1	1				
X	X	X	0	0				
X	X	X	0	1				
X	X	X	1	0				
X	X	X	1	1				



D	CLK	Q
0	↓	
1	↓	

- Aşağıdaki devrede ilk adımda önce A girişini Lojik 1 ardından B girişini Lojik 1 yapınız ve çıkış değerinin gözleyerek kaydediniz. İkinci adımda ise A ve B girişlerini Lojik 0 konumuna aldıktan sonra önce B girişini Lojik 1 ardından A girişini Lojik 1 konumuna alınız ve çıkış değerini gözleyerek kaydediniz.



A	B	Q
1	1	
1	1	

Raporda İstenenler:

- Deney bağlantı şemalarını rapor defterinize çiziniz.
- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Flip Flop çalışma mantığını anlatarak, Flip Flop çeşitlerini ayrıntılı olarak anlatınız.
2. JK Flip Flop devresi kullanarak RS, D ve T tipi Flip Flop devrelerinin nasıl gerçekleştirileceğini açıklayınız.

DENEY 7- Flip-Flop ve Uygulamaları	
Öğrencinin Adı Soyadı:	Numarası:
Deney Uygulama Tarihi:	Rapor Teslim Tarihi:
Öğretim Elemanı:	Onay:

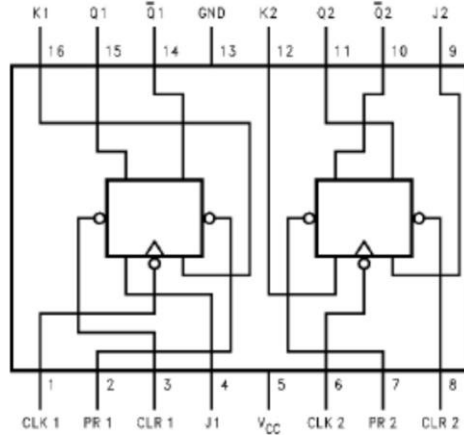
DENEY 8- Flip Flop ile Shift Register Tasarımı

Amaç:

- Flip Flop ile Shift Register tasarımı gerçekleştirmek

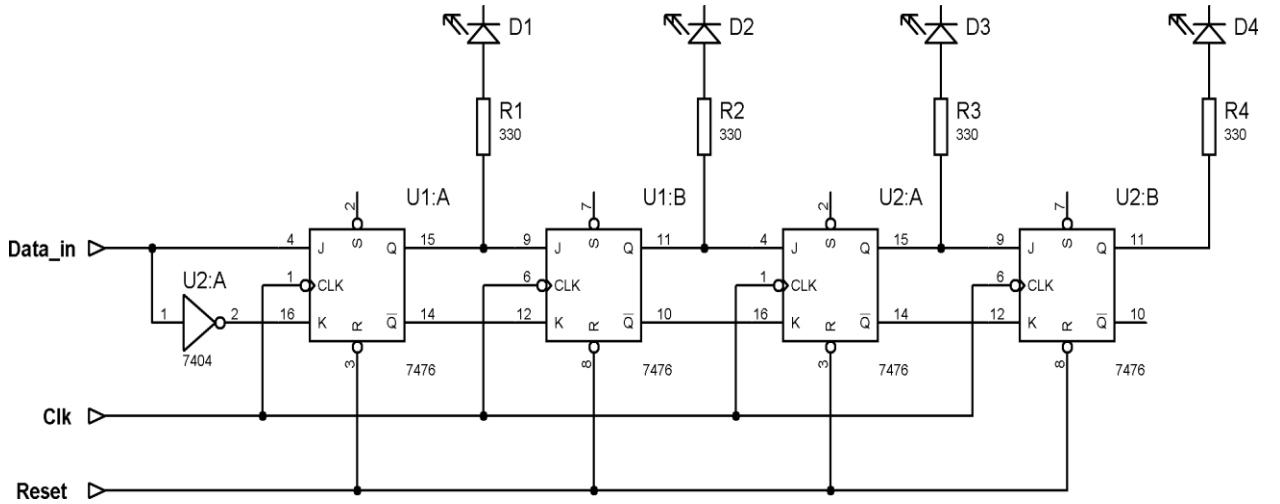
Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 7476 bağlantı şemasına uygun olarak yapınız.
- Data in girişini kullanarak 1-0-1-0 (D4-D3-D2-D1) çıkışını elde ediniz. (Herbir giriş değeri verildikten sonra bir clock darbesi uygulanması gerektiğini unutmayınız.)



7476 iç bağlantı şeması

Deney Bağlantı Şeması:



Raporda İstenenler:

- Denev baęlantı Őemalarını rapor defterinize iziniz.
- Doğruluk tablolarını oluŐturunuz. (Tablolarda 0 ve 1 kullanınız.)
- AŐaęıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Shift registerların alıŐması hakkında detaylı bilgi veriniz.
2. Shift register giriŐine sırayla 1-0-1-0 giriŐleri uygulanması durumunda herbir adımda ıkıŐ geriliminin nasıl olacaęını izerek aıklayınız.

DENEY 8- Flip-Flop ile Shift Register Tasarımı	
Öęrencinin Adı Soyadı:	Numarası:
Denev Uygulama Tarihi:	Rapor Teslim Tarihi:
Öęretim Elemanı:	Onay:

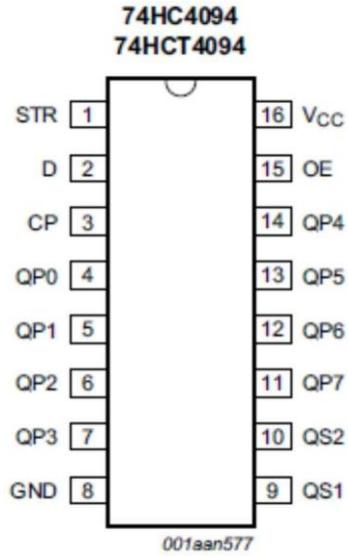
DENEY 9- 8 Bitlik Shift Register Devresi

Amaç:

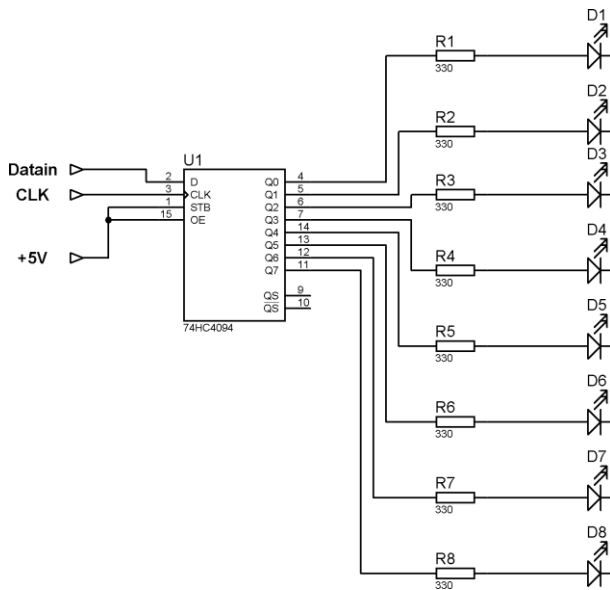
- 8 bitlik shift register devresinin çalışma durumunun ve çıkış sinyallerinin incelenmesi

Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 74HC4094 bağlantı şemasına uygun olarak yapınız.
- Doğruluk tablosunda verilen girişleri uygulayarak gözlenen çıkış değerlerini tabloya yazınız.



Deney Bağlantı Şeması:



Dataın girişine sırasıyla 1-0-0-1-1-0-1-0 verisini herbir değerden sonra clock darbesi vererek uygulayın. Herbir clock darbesinden sonra D1-D2-D3-D4-D5-D6-D7-D8 çıkışlarının nasıl değiştiğini aşağıdaki tabloya giriniz.

	D1	D2	D3	D4	D5	D6	D7	D8
↓								
↓								
↓								
↓								
↓								
↓								
↓								
↓								

Girişe karşılık herbir çıkışın dalga şeklini çiziniz.

Raporda İstenenler:

- Deneý bağlantı şemalarını rapor defterinize çiziniz.
- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. 74HC4094 entegresini tanıtarak shift register kullanım alanları ile alakalı örnekler veriniz.
2. Dataın girişine 1-1-1-0-1-0-0-1 sinyali uygulanması durumunda herbir çıkışın dalga şeklini çiziniz.

DENEY 9- 8 Bitlik Shift Register Devresi	
Öğrencinin Adı Soyadı:	Numarası:
Deney Uygulama Tarihi:	Rapor Teslim Tarihi:
Öğretim Elemanı:	Onay:

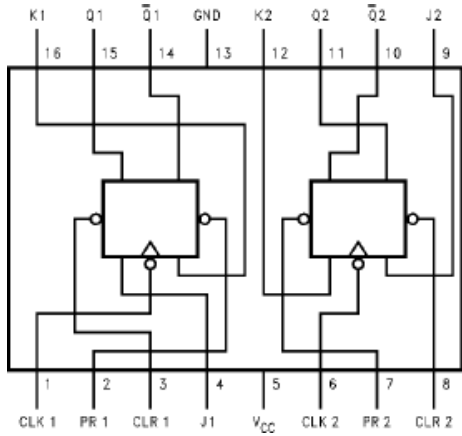
DENEY 10- Flip Flop ile Senkron Sayıcı

Amaç:

- Flip Flop çalışma mantığını kavramak

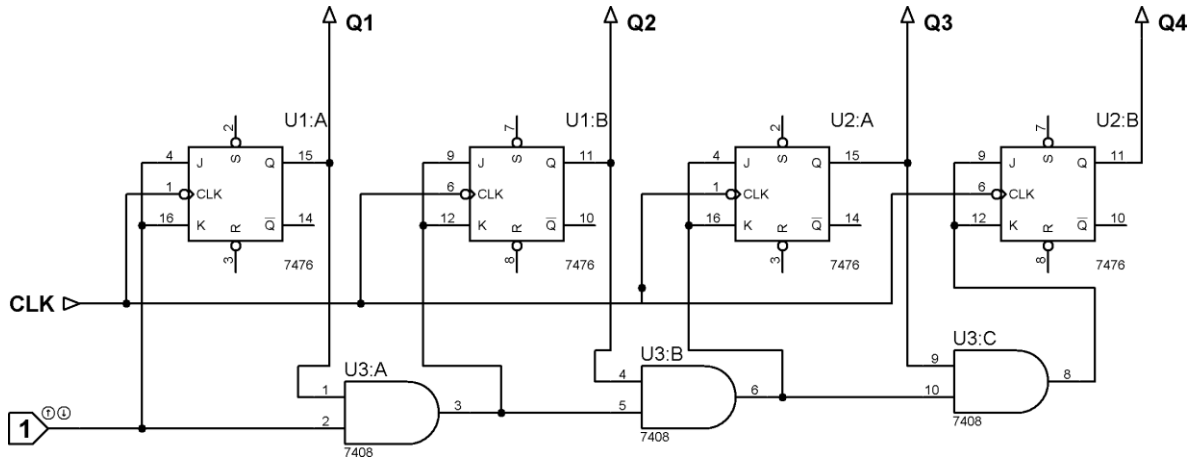
Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 7476 bağlantı şemasına uygun olarak yapınız.
- Doğruluk tablosunda verilen girişleri uygulayarak gözlenen çıkış değerlerini tabloya yazınız.



7476 iç bağlantı şeması

Deney Bağlantı Şeması:



Yukarıdaki devre şemasını kurarak herbir clock sinyalinden sonra Q1, Q2, Q3 ve Q4 çıkışlarını gözleyerek kaydediniz.

CLK	S(PR)	R(CLR)	Q1	Q2	Q3	Q4
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				
↓	1	1				

Raporda İstenenler:

- Deney bağlantı şemalarını rapor defterinize çiziniz.
- Doğruluk tablolarını oluşturunuz.
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Senkron Sayıcılar ile alakalı teorik bilgi veriniz.
2. JK Flip Flop kullanarak 3 bitlik bir geri sayıcı tasarlayınız.

DENEY 9- Flip Flop ile Senkron Sayıcı	
Öğrencinin Adı Soyadı:	Numarası:
Deney Uygulama Tarihi:	Rapor Teslim Tarihi:
Öğretim Elemanı:	Onay:

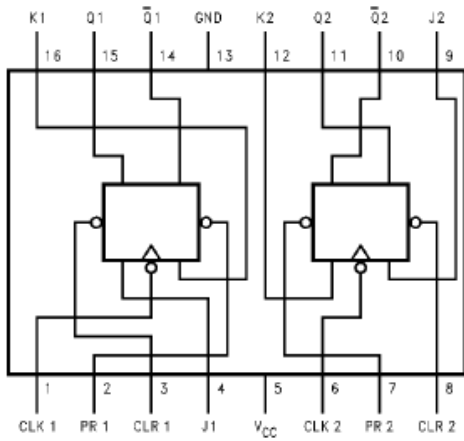
DENEY 11- Flip Flop ile Senkron Sayıcı Tasarımı

Amaç:

- Flip Flop ile karmaşık sayan senkron sayıcı tasarımı

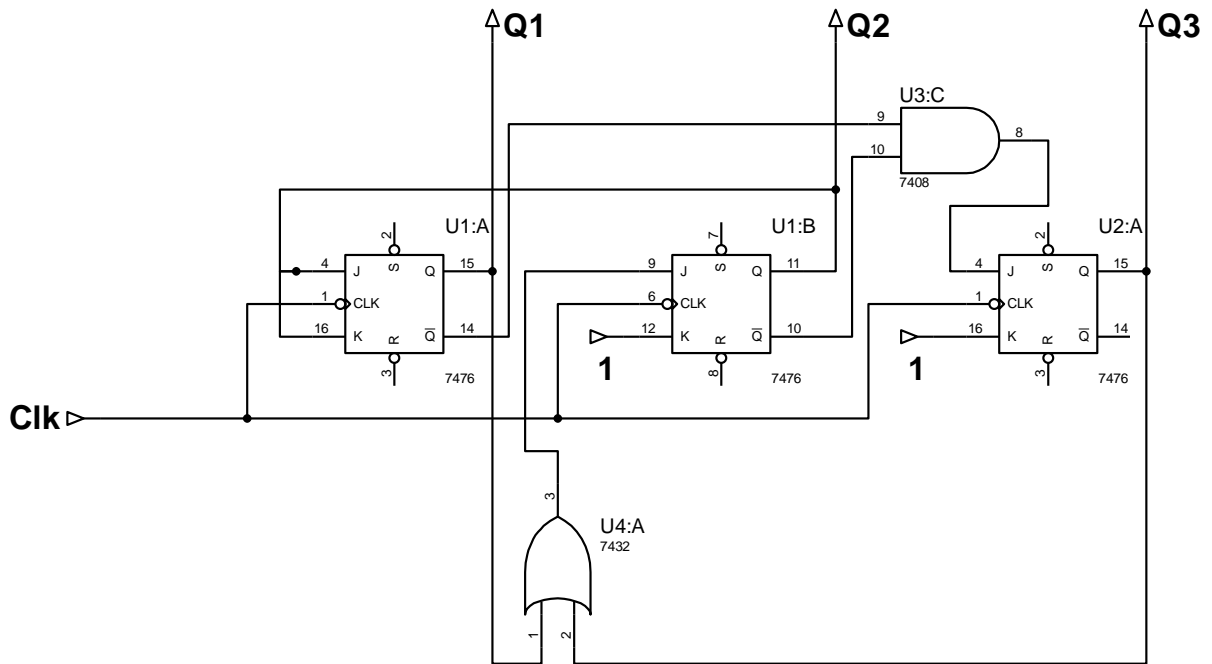
Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 7476 bağlantı şemasına uygun olarak yapınız.
- Doğruluk tablosunda verilen girişleri uygulayarak gözlenen çıkış değerlerini tabloya yazınız.



7476 iç bağlantı şeması

Deney Bağlantı Şeması:



Yukarıdaki devre şemasını kurarak herbir clock sinyalinden sonra Q1, Q2 ve Q3 çıkışlarını gözleyerek kaydediniz.

CLK	S(PR)	R(CLR)	Q1	Q2	Q3
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			

Raporda İstenenler:

- Deneysel bağlantı şemalarını rapor defterinize çizin.
- Doğruluk tablolarını oluşturunuz.
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Senkron Sayıcı tasarımı ile alakalı teorik bilgi veriniz.
2. JK Flip Flop kullanarak 0-2-3-5-6 sayan senkron bir sayıcı tasarlayınız.

DENEY 11- Flip Flop ile Senkron Sayıcı Tasarımı	
Öğrencinin Adı Soyadı:	Numarası:
Deneysel Uygulama Tarihi:	Rapor Teslim Tarihi:
Öğretim Elemanı:	Onay:

Raporda İstenenler:

- Deneý baęlantı Őemalarını rapor defterinize iziniz.
- Ölüm sonuçlarını kaydediniz.
- AŐaęıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Asenkron sayıcıları teorik olarak aıklayınız.
2. İleri sayan bir asenkron sayıcı tasarlayarak lojik diyagramını iziniz.

DENEY 10- Flip Flop ile Asenkron Sayıcı	
Öęrencinin Adı Soyadı:	Numarası:
Deney Uygulama Tarihi:	Rapor Teslim Tarihi:
Öęretim Elemanı:	Onay:

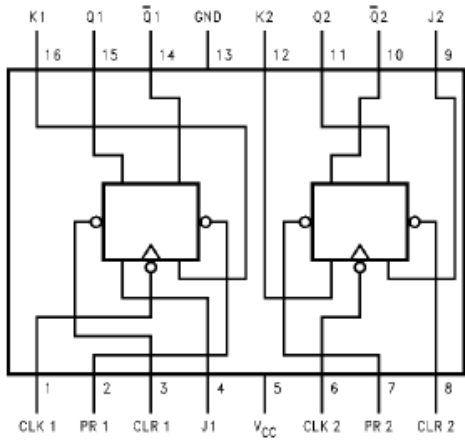
DENEY 13- Flip Flop ile Asenkron Mod Sayıcı

Amaç:

- Flip Flop ile farklı asenkron sayıcılar tasarlamak

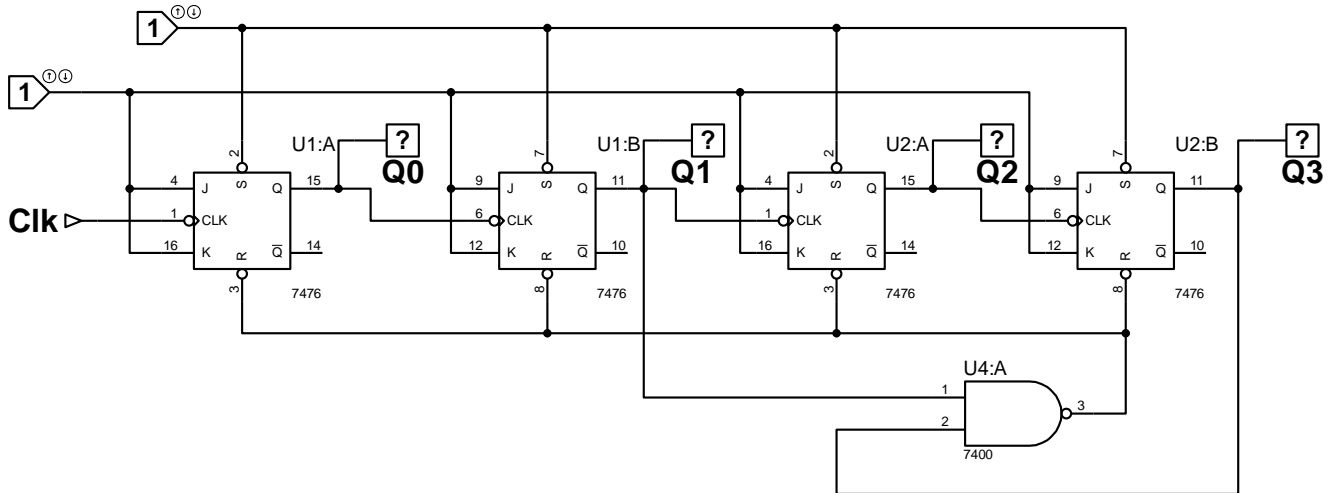
Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 7476 bağlantı şemasına uygun olarak yapınız.
- Doğruluk tablosunda verilen girişleri uygulayarak gözlenen çıkış değerlerini tabloya yazınız.



7476 iç bağlantı şeması

Deney Bağlantı Şeması:



CLK	S(PR)	R(CLR)	Q0	Q1	Q2
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			

Raporda İstenenler:

- Denev baęlantı Őemalarını rapor defterinize iziniz.
- lüm sonularını kaydediniz.
- AŐaęıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Asenkron mod sayıcıları teorik olarak aıklayınız.
2. Mod 12 sayıcı tasarlayarak lojik diyagramını iziniz.

DENEY 13- Flip Flop ile Asenkron Mod Sayıcı	
Öęrencinin Adı Soyadı:	Numarası:
Deney Uygulama Tarihi:	Rapor Teslim Tarihi:
Öęretim Elemanı:	Onay: