AFYON KOCATEPE ÜNİVERSİTESİ
MÜHENDİSLİK FAKÜLTESİ
ELEKTRİK MÜHENDİSLİĞİ BÖLÜMÜ



2026-2027 Eğitim-Öğretim Yılı Güz Dönemi

Sayısal Elektronik Dersi Laboratuvarı

Tüm Deneyler Kitapçığı

Doç. Dr. Emre AKARSLAN

Arş. Gör. Ardan Hüseyin EŞLİK

LABORATUVARDA UYULACAK KURALLAR

– Deneye gelmeden önce, deneyle ilgili teorik bilgi araştırılacak ve laboratuvara gerekli bilgiler öğrenilerek gelinecektir.

– Deneyler saatinde başlayacak, geç kalan öğrenciler deneye **alınmayacaktır.**

– Laboratuvardaki görevlilerin tüm uyarılarına ve temel iş sağlığı ve güvenliği kurallarına harfiyen uyulacaktır.

– Deney için izin verilen cihazlar haricinde laboratuvarda hiçbir cihaz kullanılmayacaktır.

– Deneylerin belirlenen süre içerisinde tamamlanması gerekmektedir.Verilen süre içerisinde tamamlanamayan deney **geçersiz** sayılacaktır.

– **Deney bittikten sonra deney masa ve sandalyeleri düzenli olarak bırakılacaktır.**

– Laboratuvara ait malzeme ve donanım laboratuvar dışına çıkarılmayacaktır.

– Deneylerle ilgili soru ve sorunlar görevli Öğretim Elemanı' na aktarılacaktır.

– Kural dışı davranışlardan doğacak maddi/manevi tüm zararlardan öğrenci sorumlu olacaktır.

– Kurallara uymayan öğrencinin deneyine son verilecek, laboratuvardan çıkarılacak ve öğrenci hakkında disiplin yönetmeliği uygulanacaktır.

– Bir dönem içinde toplam üç deneye girmeyen öğrenci final sınavına **giremeyecektir.**

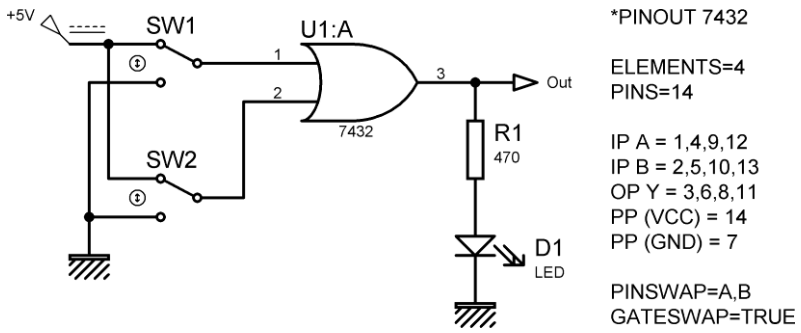
DENEY 1- Temel Lojik Fonksiyonlar

Amaç: Temel lojik fonksiyonları öğrenmek(VE-AND, VEYA-OR, DEĞİL-NOT, VEDEĞİL-NAND, VEYADEĞİL-NOR). Bu fonksiyonların doğruluk tabloları, lojik diyagramlar ve Boolean kuralları ile gösterimini öğrenmek.

Deneyin Yapılışı:

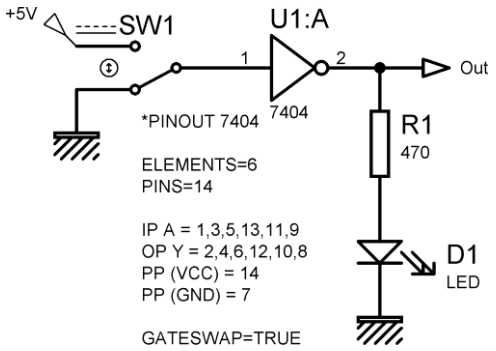
- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. (*Entegre devrelerinin besleme ayakları şemaların yanındaki entegre bilgileri kısmında verilmiştir.*)
- Doğruluk tablosunda verilen giriş lojik seviyelerini verilen anahtarları kullanarak devreye uygulayın ve devrenin çıkış lojik seviyelerini tabloya aktarınız.

Deney Bağlantı Şeması:



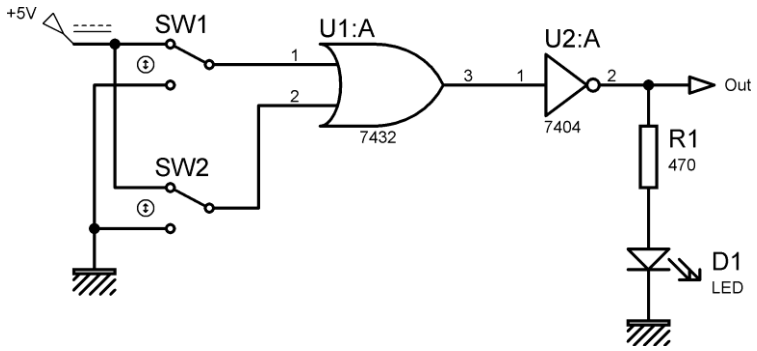
Bacak 1	Bacak 2	Bacak 3
0	0	
0	+5	
+5	0	
+5	+5	

Şekil 1. VEYA (OR) kapısı deney bağlantı şeması ve doğruluk tablosu.



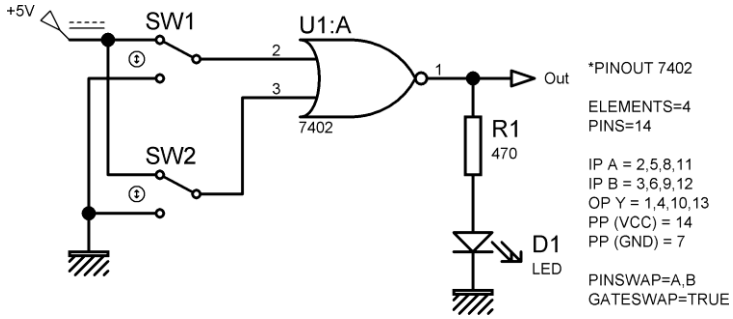
Bacak 1	Bacak 2
0	
+5	

Şekil 2. DEĞİL (NOT) kapısı deney bağlantı şeması ve doğruluk tablosu.



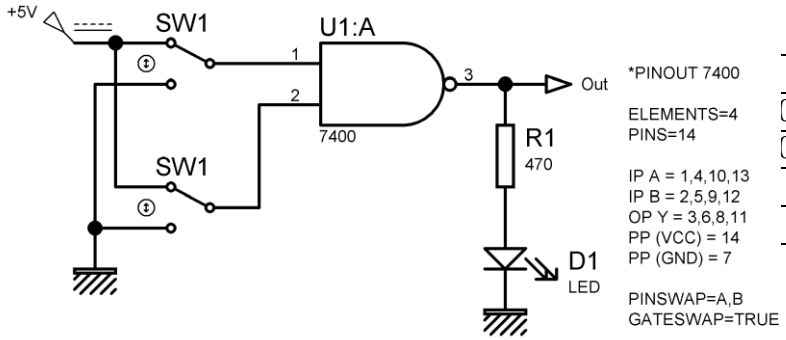
7432		7404
Bacak 1	Bacak 2	Bacak 2
0	0	
0	+5	
+5	0	
+5	+5	

Şekil 3. VEYA+DEĞİL (OR+NOT) kapısı deney bağlantı şeması ve doğruluk tablosu.



Bacak 3	Bacak 2	Bacak 1
0	0	
0	+5	
+5	0	
+5	+5	

Şekil 4. VEYADEĞİL (NOR) kapısı deney bağlantı şeması ve doğruluk tablosu.



Bacak 1	Bacak 2	Bacak 3
0	0	
0	+5	
+5	0	
+5	+5	

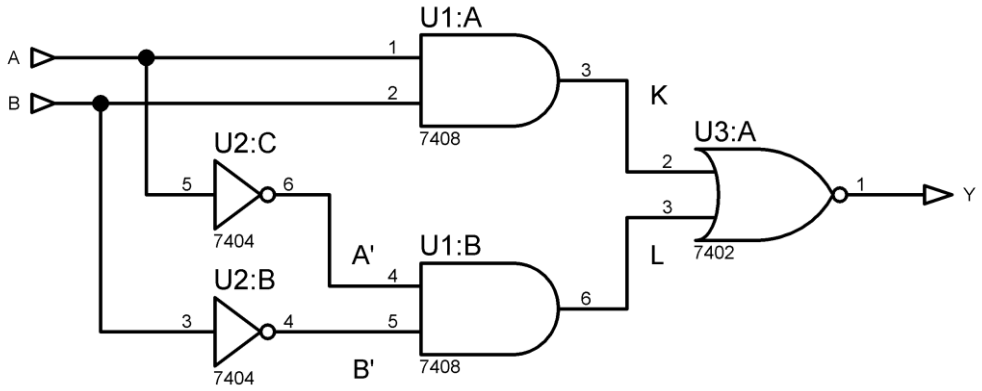
Şekil 5. İki Girişli VEDEĞİL (NAND) kapısı deney bağlantı şeması ve doğruluk tablosu.

Raporda İstenenler:

- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Ölçüm sonuçlarını kaydediniz.
- Aşağıdaki soruları raporunuzda cevaplayınız.

Sorular:

1. Yukarıdaki devrelerde kullanılan entegre devreler için veri sayfalarından yararlanarakbacak bağlantılarını çıkarınız.
2. Yine veri sayfalarından faydalanarak entegrelere ait akım gerilim sınırlarını yazınız (Çıkışakım sınırı, giriş gerilimi değerleri, besleme gerilimi vb…).
3. Aşağıdaki devre için verilen doğruluk tablosunu doldurunuz.



A	B	A’	B’	K	L	Y
0	0					
0	1					
1	0					
1	1					

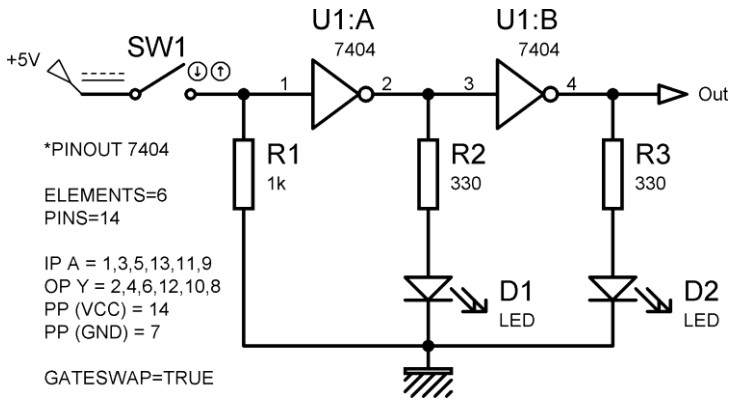
DENEY 2- Boolean Kuralları ve De Morgan Teoremi

Amaç: Boolean kuralları ile lojik denklemlerin gösterimi ve De Morgan teoremini kullanarak Boolean denklemlerini sadeleştirmek.

Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. (*Entegre devrelerinin besleme ayakları şemaların yanındaki entegre bilgileri kısmında verilmiştir.*)
- Doğruluk tablosunda verilen giriş lojik seviyelerini verilen anahtarları kullanarak devreye uygulayın ve devrenin çıkış lojik seviyelerini tabloya aktarınız.
- Devrede Osiloskop kullanılması gerekiyorsa uygun şekilde Osiloskop bağlantılarını yapıp elde ettiğiniz sinyal şekillerini grafik alanına aktarınız.

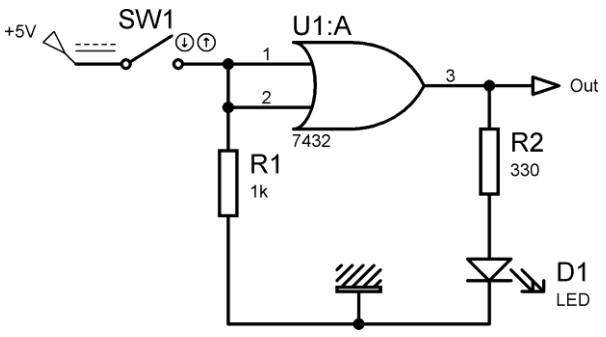
Deney Bağlantı Şeması:



Bacak 1	Bacak 3	Bacak 4
0		
5V		

=

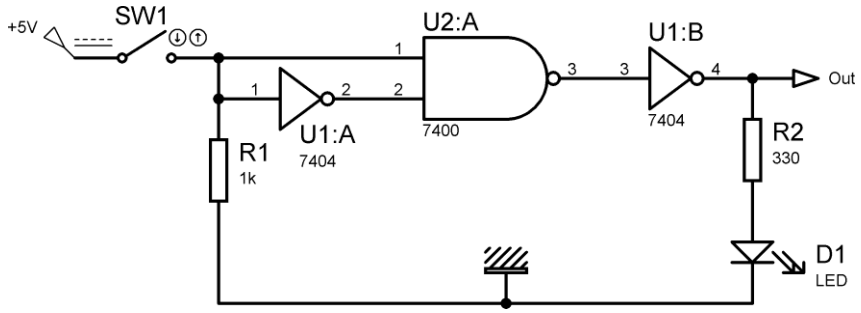
Şekil 1. Çift evirici devresi





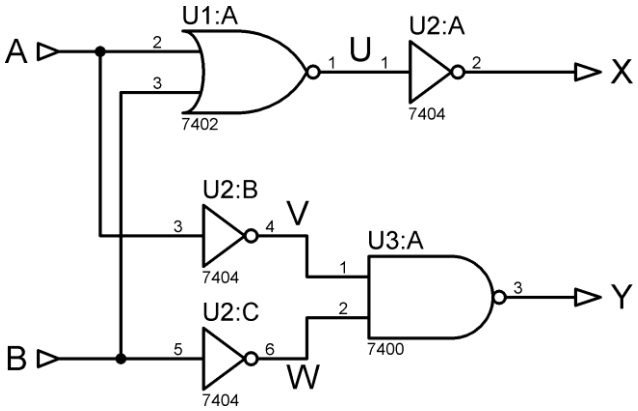
Bacak 1ve 2	Out
0	
5V	

Şekil 2. $A + A = A$ **kuralı**



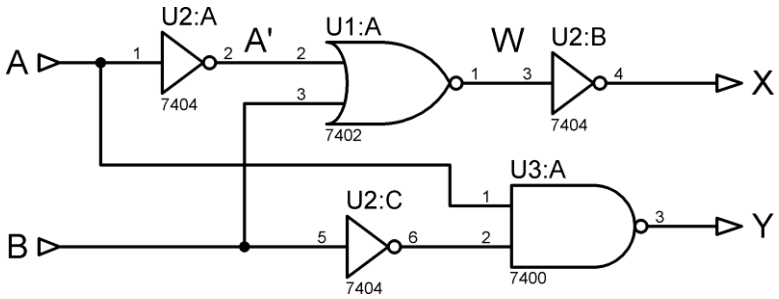
Bacak 1	Out
0	
5V	

Şekil 3. $A.\bar{A} = 0$ **kuralı**



A	B	U	V	W	X	Y
0	0					
0	+5					
+5	0					
+5	+5					

Şekil 4. De Morgan teoremi devresi



A	A’	B	W	X	Y
0		0			
0		+5			
+5		0			
+5		+5			

Şekil 5. De Morgan teoremi devresi

Raporda İstenenler:

- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)

DENEY 3- Tam Toplayıcı ve Tam Çıkarıcı Devreleri

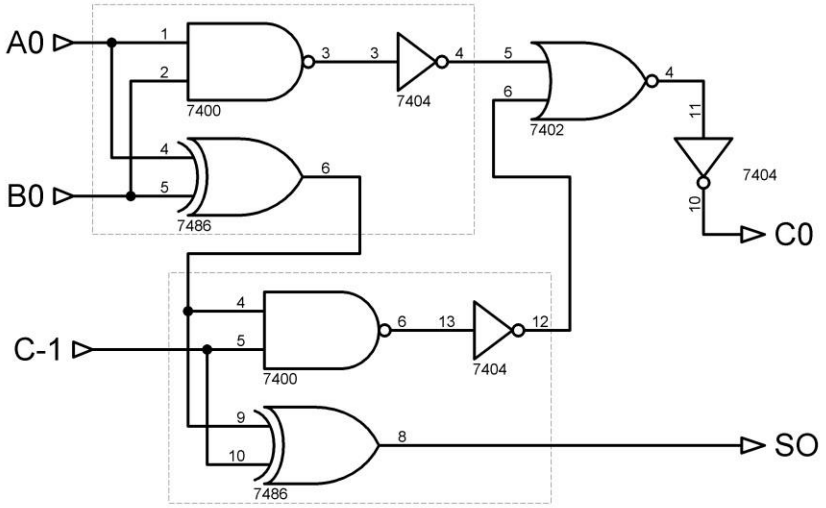
Amaç:

- Tam toplayıcı ve tam çıkarıcı devrelerini üretme yollarını öğrenmek ve özelliklerini incelemek.

Deneyin Yapılışı:

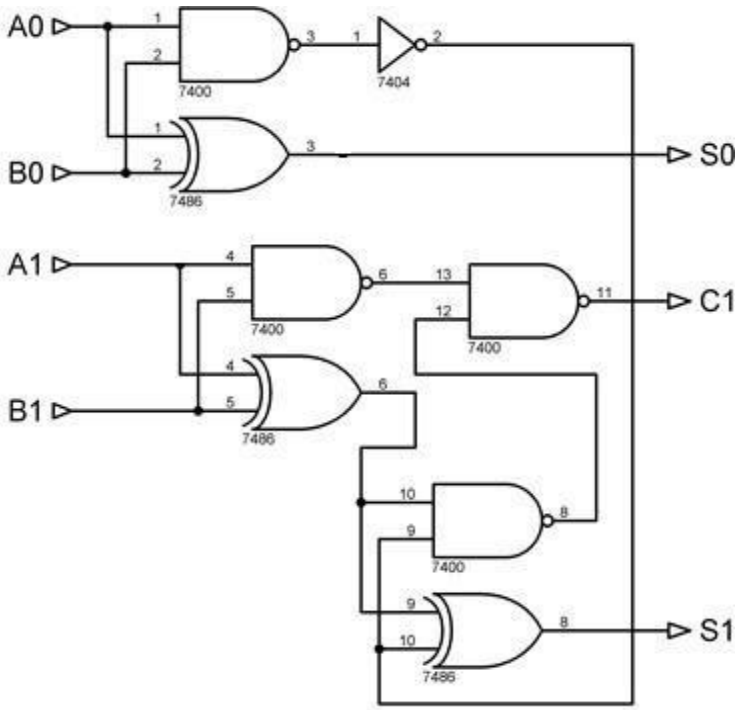
- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz.
- Doğruluk tablosunda verilen giriş lojik seviyelerini devreye uygulayın ve devrenin çıkış lojik seviyelerini tabloya aktarınız.

Deney Bağlantı Şeması:



A_0	B_0	C_{-1}	S_0	C_0
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Şekil 1. Yarı toplayıcılarla oluşturulmuş tam toplayıcı devresi.



A1	A0	B1	B0	C1	C1	S0
0	0	0	0			
1	1	1	1			
1	0	1	0			
0	1	0	1			

Şekil 2. İki bitlik tam toplama devresi.

Raporda İstenenler:

- Deney bağlantı şemalarını rapor defterinize çiziniz.
- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. Verilen devrelerin çıkışlarına ait lojik ifadeleri yazın ve gerekiyorsa sadeleştiriniz.

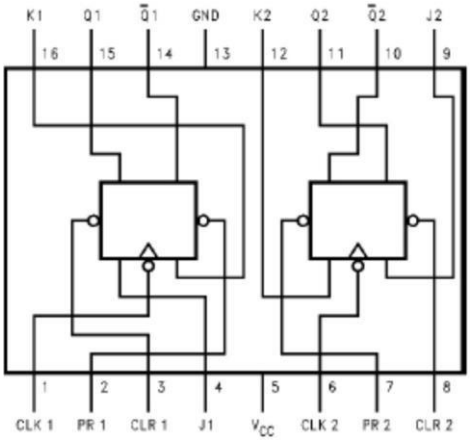
DENEY 4- Flip Flop Uygulamaları ve Shift Register Tasarımı

Amaç:

- Flip Flop çalışma mantığını kavramak.
- Flip Flop ile Shift Register tasarımı gerçekleştirmek

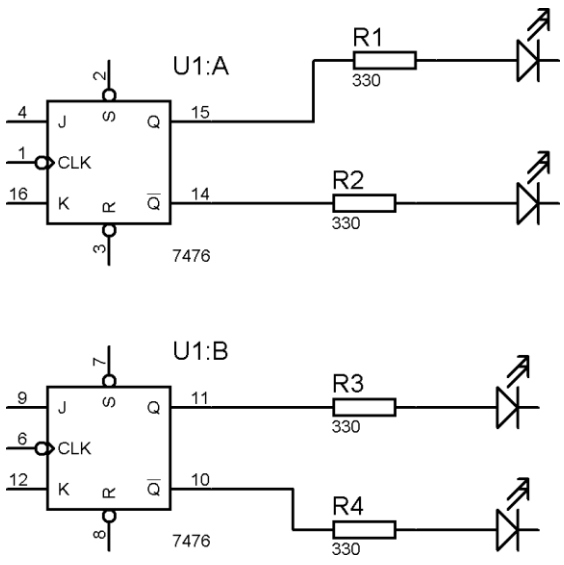
Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 7476 bağlantı şemasına uygun olarak yapınız.
- Doğruluk tablosunda verilen girişleri uygulayarak gözlenen çıkış değerlerini tabloya yazınız.

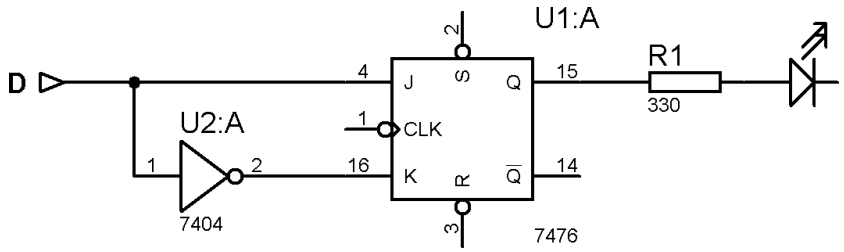


7476 iç bağlantı şeması

Deney Bağlantı Şeması:

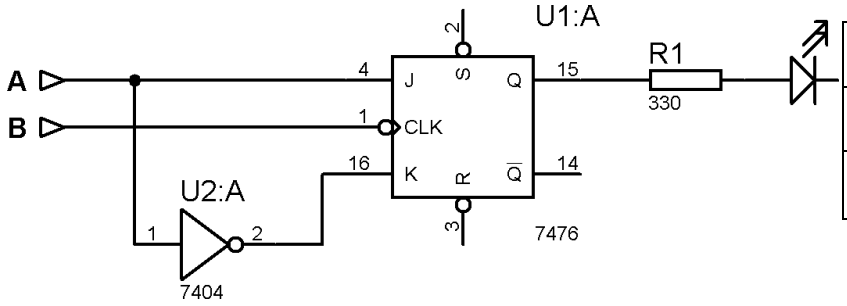


J	K	CLK	S(PR)	R(CLR)	Q_1	$\overline{Q_1}$	Q_2	$\overline{Q_2}$
0	0	↓	1	1				
1	0	↓	1	1				
0	1	↓	1	1				
1	1	↓	1	1				
X	X	X	0	0				
X	X	X	0	1				
X	X	X	1	0				
X	X	X	1	1				



D	CLK	Q
0	↓	
1	↓	

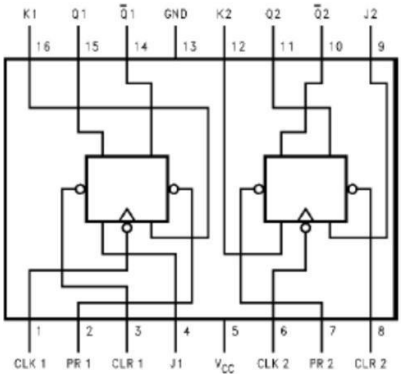
- Aşağıdaki devrede ilk adımda önce A girişini Lojik 1 ardından B girişini Lojik 1 yapınız ve çıkış değerinin gözleyerek kaydediniz. İkinci adımda ise A ve B girişlerini Lojik 0 konumuna aldıktan sonra önce B girişini Lojik 1 ardından A girişini Lojik 1 konumuna alınız ve çıkış değerini gözleyerek kaydediniz.



A	B	Q
1	1	
1	1	

Shift Register Deneyinin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 7476 bağlantı şemasına uygun olarak yapınız.
- Data in girişini kullanarak 1-0-1-0 (D4-D3-D2-D1) çıkışını elde ediniz. (Herbir giriş değeri verildikten sonra bir clock darbesi uygulanması gerektiğini unutmayınız.)



7476 iç bağlantı şeması

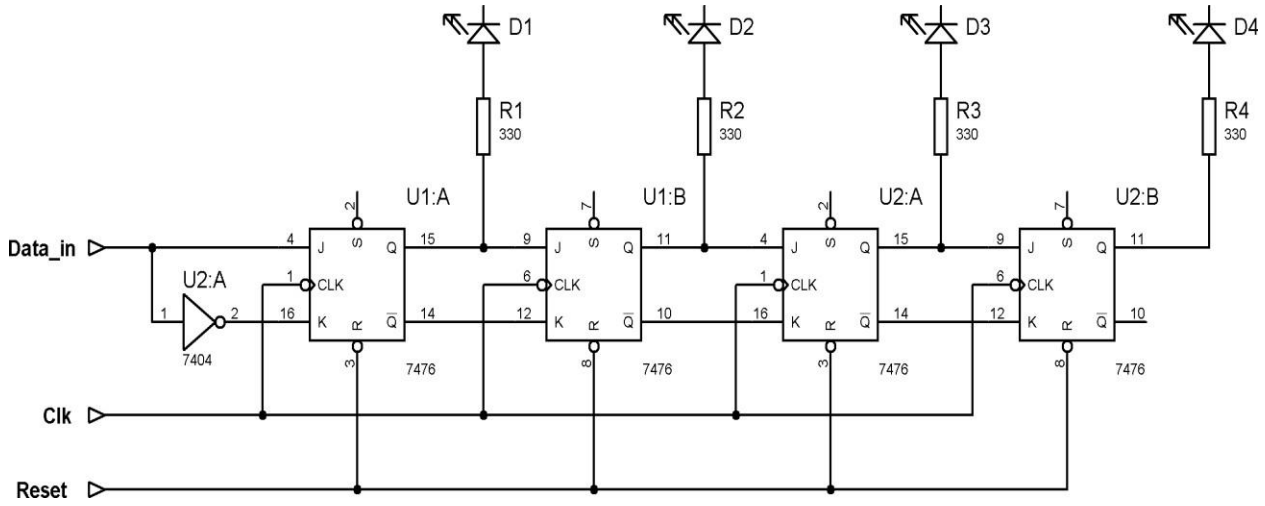
Raporda İstenenler:

- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Aşağıdaki soruları raporunuzda cevaplayınız.

Sorular:

1. Flip Flop çalışma mantığını anlatarak, Flip Flop çeşitlerini ayrıntılı olarak anlatınız.
2. Shift registerların çalışması hakkında detaylı bilgi veriniz.

Deney Bağlantı Şeması:



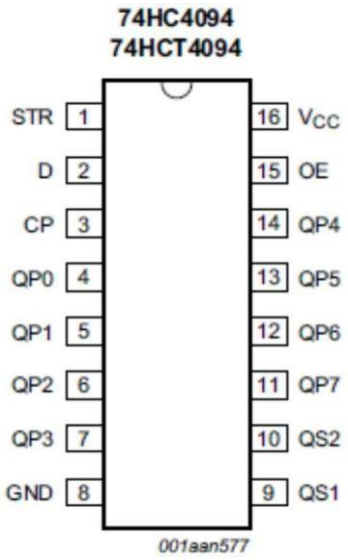
DENEY 5- 8 Bitlik Shift Register Devresi

Amaç:

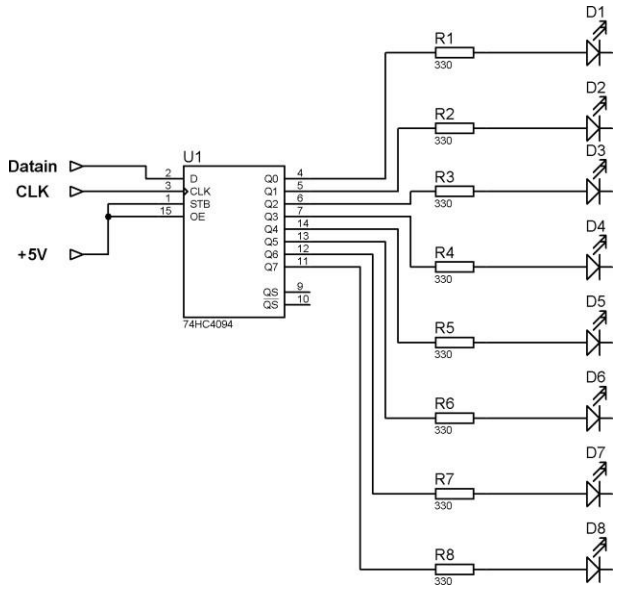
- 8 bitlik shift register devresinin çalışma durumunun ve çıkış sinyallerinin incelenmesi

Deneyin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 74HC4094 bağlantı şemasına uygun olarak yapınız.
- Doğruluk tablosunda verilen girişleri uygulayarak gözlenen çıkış değerlerini tabloya yazınız.



Deney Bağlantı Şeması:



Data in girişine sırasıyla 1-0-0-1-1-0-1-0 verisini her bir değerden sonra clock darbesi vererek uygulayın. Her bir clock darbesinden sonra D1-D2-D3-D4-D5-D6-D7-D8 çıkışlarının nasıl değiştiğini aşağıdaki tabloya giriniz.

	D1	D2	D3	D4	D5	D6	D7	D8
↓								
↓								
↓								
↓								
↓								
↓								
↓								
↓								

Girişe karşılık herbir çıkışın dalga şeklini çiziniz.

Raporda İstenenler:

- Doğruluk tablolarını oluşturunuz. (Tablolarda 0 ve 1 kullanınız.)
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. 74HC4094 entegresini tanıtarak shift register kullanım alanları ile alakalı örnekler veriniz.
2. Data in girişine 1-1-1-0-1-0-0-1 sinyali uygulanması durumunda her bir çıkışı dalga şeklini çiziniz.

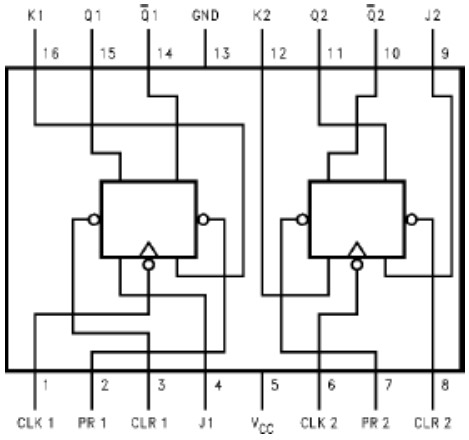
DENEY 6- Flip Flop ile Asenkron Sayıcı ve Asenkron Mod Sayıcı

Amaç:

- Flip Flop ile farklı asenkron sayıcılar tasarlamak

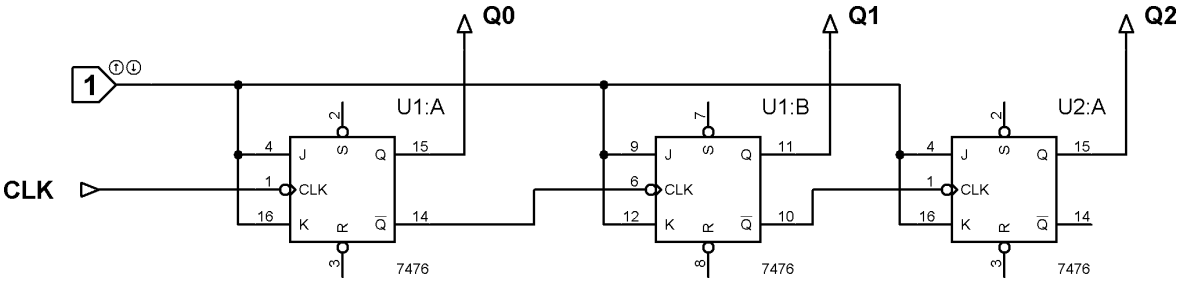
Asenkron Sayıcı Deneyinin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 7476 bağlantı şemasına uygun olarak yapınız.
- Doğruluk tablosunda verilen girişleri uygulayarak gözlenen çıkış değerlerini tabloya yazınız.



7476 iç bağlantı şeması

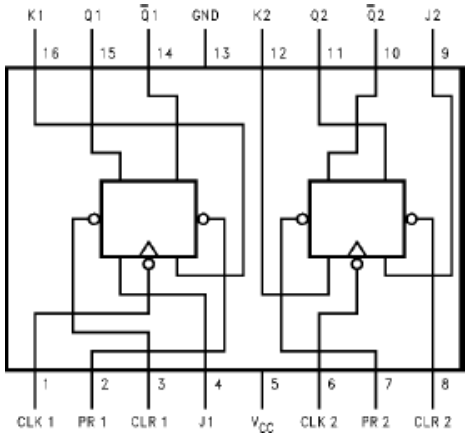
Deney Bağlantı Şeması:



CLK	S(PR)	R(CLR)	Q0	Q1	Q2
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			

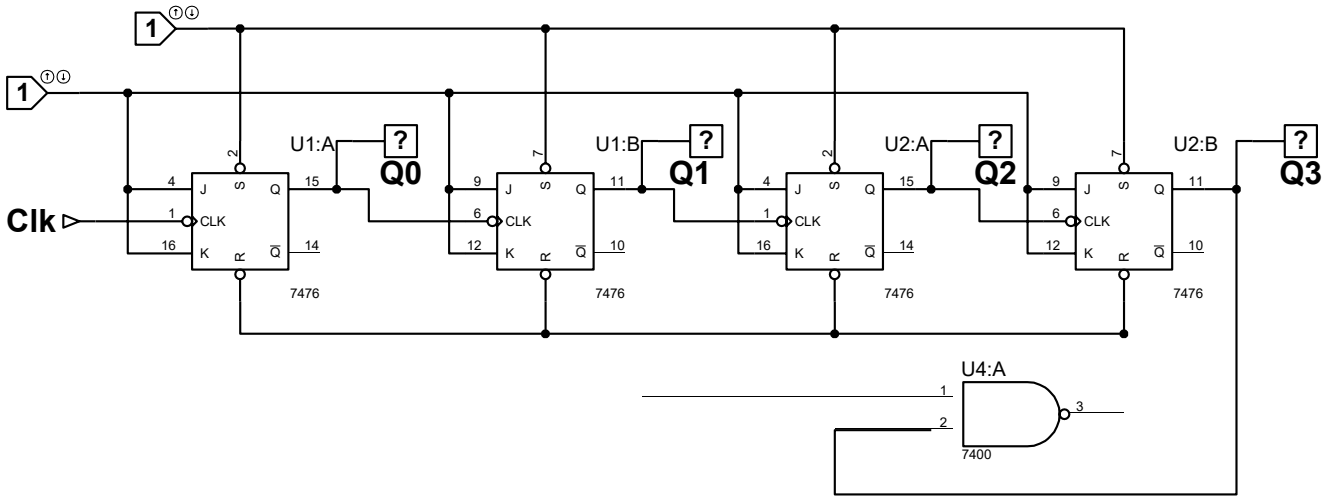
Mod Sayıcı Deneyinin Yapılışı:

- Deney bağlantı şemasında verilen devreleri uygun elemanlarla kurunuz. Entegrenin besleme ve GND bağlantılarını aşağıdaki 7476 bağlantı şemasına uygun olarak yapınız.
- Doğruluk tablosunda verilen girişleri uygulayarak gözlenen çıkış değerlerini tabloya yazınız.



7476 iç bağlantı şeması

Deney Bağlantı Şeması:



CLK	S(PR)	R(CLR)	Q0	Q1	Q2
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			
↓	1	1			

Raporda İstenenler:

- Deney bağlantı şemalarını rapor defterinize çiziniz.
- Ölçüm sonuçlarını kaydediniz.
- Aşağıdaki soruları rapor defterinize cevaplayınız.

Sorular:

1. İleri sayan bir asenkron sayıcı tasarlayarak lojik diyagramını çiziniz.
2. Mod 12 sayıcı tasarlayarak lojik diyagramını çiziniz.